

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Yoshitami Sakaguchi, **Docket:** JP919990237US1(13998)
et al.

Serial No.: Unassigned

Dated: December 8, 2000

Filed: Herewith

For: LIQUID CRYSTAL DISPLAY DEVICE,
LIQUID CRYSTAL CONTROLLER AND
VIDEO SIGNAL TRANSMISSION METHOD

Assistant Commissioner for Patents
Washington, DC 20231

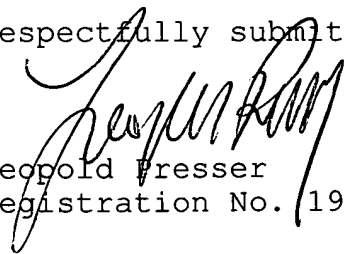


CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby
claim the right of priority in connection with Title 35 U.S.C.
§119 and in support thereof, herewith submit a certified copy of
Japanese Patent Application No. 11-351784 filed on December 10,
1999.

Respectfully submitted,


Leopold Presser
Registration No. 19,827

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343

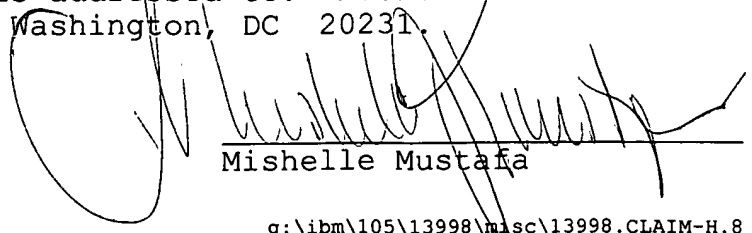
EWG:gc

CERTIFICATE OF MAILING BY "EXPRESS MAIL"

"Express Mail" mailing label number: EL658969355US
Date of Deposit: December 8, 2000

I hereby certify that this correspondence is being
deposited with the United States Postal Service "Express Mail
Post Office to Addressee" service under 37 C.F.R. §1.10 on the
date indicated above and is addressed to: Assistant
Commissioner for Patents, Washington, DC 20231.

Dated: December 8, 2000


Mishelle Mustafa

Y0 JA 999237

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JP15 U.S. PTO
09/733673
12/08/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年12月10日

出願番号
Application Number:

平成11年特許願第351784号

出願人
Applicant(s):

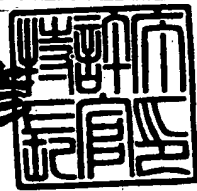
インターナショナル・ビジネス・マシーンス・コーポレイシ
ョン

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月24日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3021154

【書類名】 特許願

【整理番号】 JA999237

【提出日】 平成11年12月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/1345

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 東京基礎研究所内

【氏名】 坂口 佳民

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 東京基礎研究所内

【氏名】 デグレ シモン

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【復代理人】

【識別番号】 100104880

【弁理士】

【氏名又は名称】 古部 次郎

【選任した代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【選任した復代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 081504

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304391

【包括委任状番号】 9304392

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置、液晶コントローラ、ビデオ信号伝送方法

【特許請求の範囲】

【請求項 1】 基板上に画像表示領域を形成する液晶セルと、
入力されたビデオ信号に基づいて前記液晶セルに対して電圧を印加するドライバとを備え、

前記ドライバは、前記基板上に実装されると共に信号線を用いてカスケード接続された複数のドライバ IC を有することを特徴とする液晶表示装置。

【請求項 2】 前記ドライバは、前記複数のドライバ IC に対して供給すべき電源ラインを、当該ドライバ IC のメタル層を介してカスケード接続することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記ドライバ IC は、シリアルデータからなる前記ビデオ信号を入力すると共に、入力された当該シリアルデータの有する同期パターンに基づいて当該ビデオ信号の同期をとることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 基板上に画像表示領域を形成する液晶セルと、
入力されたビデオ信号を連鎖接続された複数のドライバ IC に分配すると共に、当該複数のドライバ IC により前記液晶セルに対して電圧を印加するドライバとを備え、

前記ドライバは、連鎖接続される上流側のドライバ IC から当該ドライバ IC が出力すべき自己ビデオ信号をマスクする信号を下流側のドライバ IC に出力することで前記ビデオ信号を前記複数のドライバ IC に対して分配することを特徴とする液晶表示装置。

【請求項 5】 前記ドライバを構成する前記下流側のドライバ IC は、前記上流側のドライバ IC から出力される前記マスクする信号の受信後に、入力されるビデオ信号に基づいて前記液晶セルに対して電圧を印加することを特徴とする請求項 4 記載の液晶表示装置。

【請求項 6】 基板上に画像表示領域を形成する液晶セルと、
入力されたビデオ信号をカスケード接続された複数のドライバ IC に分配する

と共に、当該複数のドライバ I C により前記液晶セルに対して電圧を印加するドライバとを備え、

前記ドライバを構成する前記複数のドライバ I C は、前記基板上に形成されたビデオ転送用ラインでカスケード接続されると共に、当該ビデオ転送用ラインを介して転送されるシリアルデータによって制御されることを特徴とする液晶表示装置。

【請求項 7】 前記複数のドライバ I C を接続する前記ビデオ転送用ラインは、第 1 の信号ラインと当該第 1 の信号ラインとは極性を反転させた第 2 の信号ラインとで構成されることを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】 前記複数のドライバ I C に対してカスケード接続されるクロックラインと電源ラインとを更に備えたことを特徴とする請求項 6 記載の液晶表示装置。

【請求項 9】 前記複数のドライバ I C を構成する上流側のドライバ I C は、ビデオとクロックの位相をほぼ整合させるためのダミー回路を備えていることを特徴とする請求項 6 記載の液晶表示装置。

【請求項 1 0】 ホスト側から画像表示のためのビデオ信号を入力するレシーバと、

前記ホスト側から入力された制御信号に基づいて、複数のドライバ I C がカスケード接続された L C D ドライバに対して出力すべきパケットデータのヘッダー情報を生成するシーケンサと、

前記レシーバにより入力された前記ビデオ信号をシリアルビデオ信号に変換すると共に、前記シーケンサにより生成された前記ヘッダー情報を付加して当該シリアルビデオ信号を前記 L C D ドライバに出力する出力手段とを備えたことを特徴とする液晶コントローラ。

【請求項 1 1】 前記シーケンサは、前記 L C D ドライバにおける複数のドライバ I C が同期を取るためのヘッダー情報を生成すると共に、

前記出力手段は、水平ブランキング期間を用いて同期に用いる前記ヘッダー情報を出力することを特徴とする請求項 1 0 記載の液晶コントローラ。

【請求項 1 2】 複数のドライバ I C により構成される L C D ドライバに対

してビデオ信号を伝送するためのビデオ信号伝送方法であって、

シリアルインターフェイスを介して水平ブランキング期間を含むビデオ信号を前記複数のドライバ I C に対して伝送し、

前記ビデオ信号は、前記水平ブランキング期間を用いて同期パターンを伝送することにより前記複数のドライバ I C における同期がとられることを特徴とするビデオ信号伝送方法。

【請求項 1 3】 前記同期パターンは少なくとも 2 サイクルが伝送されると共に、ビデオ信号の転送期間は当該同期パターンの確認がなされることを特徴とする請求項 1 2 記載のビデオ信号伝送方法。

【請求項 1 4】 カスケード接続された複数のドライバ I C により構成される L C D ドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、

シリアルインターフェイスを介してカスケード接続された前記複数のドライバ I C に対して前記ビデオ信号を伝送し、

前記複数のドライバ I C は伝送された自ら処理すべきビデオ信号に基づいて L C D に対して電圧を出力し、

前記ビデオ信号は、複数の属性を有するビットブロックによって構成されると共に、当該ビットブロックを用いて前記複数のドライバ I C を制御することを特徴とするビデオ信号伝送方法。

【請求項 1 5】 前記ビットブロックの 1 つは前記ドライバ I C を待機させるための待機コマンドを含むものであり、当該待機コマンドは、前記ビデオ信号を自ら処理しているドライバ I C により生成されて、カスケード接続された下流側のドライバ I C に対して伝送されることを特徴とする請求項 1 4 記載のビデオ信号伝送方法。

【請求項 1 6】 前記 L C D ドライバに対して伝送される前記ビデオ信号は、パケットにより転送されると共に、当該パケットのヘッダー部を用いたプロトコルにより前記複数のドライバ I C が制御されることを特徴とする請求項 1 4 記載のビデオ信号伝送方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、入力されたビデオ信号に基づいて画像を表示する液晶表示装置にかかり、特に、液晶表示パネルのドライバにおけるインターフェイスを改善した液晶表示装置等に関する。

【 0 0 0 2 】

【従来の技術】

一般に、液晶表示パネルに対して画像が表示される場合、まず、P C等からなるシステム装置またはシステム部のグラフィックスコントローラからビデオインターフェイスを介して画像信号等が出力される。この画像信号等を受け取ったL C D (液晶ディスプレイ)コントローラL S Iは、ソースドライバ(Xドライバ、L C Dドライバ)およびゲートドライバ(Yドライバ)の各I Cに信号を供給し、例えばマトリクス状に並んだT F T配列の各ソース電極および各ゲート電極に対して電圧を印加することで画像を表示させるように構成されている。

【 0 0 0 3 】

ここで、従来のL C Dソースドライバで採用されているインターフェイスを図20に示す。同図において、符号301はソースドライバを構成するソースドライバI Cのチップであり、1つのL C Dパネルにて数個から十数個設けられている。一般的に知られているチップオンガラス(C O G : Chip On Glass)の場合には、このチップ301がL C Dパネルを構成するガラス基板上であってカラーフィルタの端部外側に実装されている。ここで、各チップ301には、電源ライン(Power)302、ビデオインターフェイス信号303、サンプリング開始信号(StartPulse)304が入力されている。ビデオインターフェイス信号303とサンプリング開始信号304は、8ビット階調の場合に合わせて28本のラインで構成される。このビデオインターフェイス信号303は、R/G/B各色8ビットの24ビットからなるR G Bビデオデータ(Video Data)、転送したR G BビデオデータをL C Dに出力させるためのストロブ(Strobe)信号、L C Dに出力する電圧の極性を指定する極性(Polarity)信号、X G A (1024×768ドット)パネルの場合には65MHz程度のドットクロックを供給するクロック(Clock)信号の27

本のラインから構成されている。また、サンプリング開始信号 3 0 4 は R G B ビデオデータのサンプリングを開始させる信号である。

【 0 0 0 4 】

図 2 0 に示すように、サンプリング開始信号 3 0 4 についてはカスケード接続される場合がある。しかし、それ以外の電源ライン 3 0 2 や 2 7 本からなるビデオインターフェイス信号 3 0 3 の配線は、隣接して別個、設けられたプリント基板 (P C B : Printed Circuit Board) 上やフレキシブルプリント基板 (F P C : Flexible Printed Circuit) 上に設けられていた。即ち、従来の技術では、チップ間の配線をガラス基板上に構成することが困難であることから、隣接して設けられたプリント基板上に配線部を構成し、チップ間とのバス接続によりビデオデータの転送を可能としていた。この場合には、L C D ソースドライバへの入力数の大きさは問題とはならなかった。

一方で、近年、更なるコストの削減を目的として、C O G & W O A (Wiring On Array) 技術が注目されてきた。また、ドライバ L S I を T C P (Tape Carrier Package) に配置し、その T C P を介して T F T アレイ基板 (ガラス基板) に接続する技術が開発されている。これらの技術を応用し、I C 自身を直接、または T C P を介してガラス基板に貼り付けると共に、プリント基板上に行っている配線を省略することができれば、製造にかかるコストを大きく削減することができる。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、従来のバス接続では、L C D ソースドライバへのビデオ信号入力数が大きく、C O G & W O A 型の L C D モジュールを実現することができなかった。即ち、例えば 2 8 本等の多数の配線をそのままガラス基板上に移そうとしても、液晶セルの周辺部に 1 ~ 2 c m もの額縁スペースが必要となる。このような広い額縁を確保した場合には、近年の狭額縁化の要請に反することとなり、商品価値が勢い低下してしまう。

一方、C O G 構造にて狭額縁化を達成する技術として、F P C をチップ上に覆いかぶせて配置し、チップ間で F P C と接続する配線構造が、特開平 5 - 1 0 7 5 5 1 号公報に提案されている。かかる公報によって確かに狭額縁化を達成でき

るが、パネルの厚さを小さくする点で不利な問題があった。また、全てのチップが F P C と直接、接続する構造であることから、接続端子数が多くなり、接続の信頼性に問題がある。更に、チップ間に多数の F P C 用接続端子を設けているため、チップ間の間隙が大きく必要となり、小型化が難しくなる問題もあった。

【 0 0 0 6 】

本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、画期的に L C D ドライバの入力数を削減し、C O G & W O A の実現によるコスト低減を図ることにある。

また、他の目的は、コンパクトで低消費電力である高速なシリアルインターフェイスを実現し、高速で動作する回路を最小限に押さえることで、消費電力とチップサイズの増加を低く押さえることにある。

【 0 0 0 7 】

【課題を解決するための手段】

かかる目的のもと、本発明は、入力されたビデオ信号が分配されるドライバ I C をカスケード接続し、各ドライバ I C への配線を極力、減らすことで、C O G & W O A を実現することによる。即ち、本発明が適用された液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、入力されたビデオ信号に基づいてこの液晶セルに対して電圧を印加するドライバとを備え、このドライバは、基板上に実装されると共に信号線を用いてカスケード接続された複数のドライバ I C を有することを特徴としている。

【 0 0 0 8 】

ここで、この複数のドライバ I C は入力用パッドと出力用パッドを備え、複数のドライバ I C の中で第 1 のドライバ I C における出力用パッドと第 2 のドライバ I C における入力用パッドとを連結させることを特徴とすれば、カスケード接続を簡易に実現することができる点で好ましい。また、この入力用パッドと出力用パッドとをこのドライバ I C の両端に備えるように構成すれば、例えば信号線とクロック線との配線の長さや、差動信号を形成するペアの信号線の長さを容易に揃えることが可能となり、位相合わせを簡易に実行できる点で優れている。

また、このドライバは、複数のドライバ I C に対して供給すべき電源ラインを

、ドライバICのメタル層を介してカスケード接続することを特徴とすれば、基板上に電源ラインを配線する場合に比較して抵抗を低く留めて最下流のドライバICまで電源を供給することが可能となる。

【0009】

更に、ドライバICは、シリアルデータからなるビデオ信号を入力すると共に、入力されたシリアルデータの有する同期パターンに基づいてビデオ信号の同期をとることを特徴とすることができる。この同期パターンは、ビデオ信号の水平ブランキング期間に伝送されるように構成することができる。

また更に、ビデオ信号の伝送を差動の低電圧信号で行い、使用する配線はビデオデータ用に1ペア(2本)、同期クロック用に1ペア(2本)を用いるように構成すれば、高速シリアルインターフェイスを効率的に実現することができる点で好ましい。

【0010】

本発明を適用された液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、入力されたビデオ信号を連鎖接続された複数のドライバICに分配すると共に、この複数のドライバICにより液晶セルに対して電圧を印加するドライバとを備え、このドライバは、連鎖接続される上流側のドライバICからこのドライバICが出力すべき自己ビデオ信号をマスクする信号を下流側のドライバICに出力することでビデオ信号を複数のドライバICに対して分配することを特徴とすることができる。かかる構成によれば、ビデオ信号の分配も、ビデオ信号用配線だけを用いて行うことも可能となる。このマスク処理は、複数個(例えば3個)のロジックゲートを差動バッファに追加することにより実現することができる。

このドライバを構成する下流側のドライバICは、上流側のドライバICから出力されるマスクする信号の受信後に、入力されるビデオ信号に基づいて液晶セルに対して電圧を印加することを特徴とすれば、下流側のドライバICによるビデオ信号の受信を後続するデータ用のコマンド受信により簡単に行うことができる点で優れている。

【0011】

また、本発明を適用した液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、入力されたビデオ信号をカスケード接続された複数のドライバＩＣに分配すると共に、この複数のドライバＩＣにより液晶セルに対して電圧を印加するドライバとを備え、このドライバを構成する複数のドライバＩＣは、基板上に形成されたビデオ転送用ラインでカスケード接続されると共に、このビデオ転送用ラインを介して転送されるシリアルデータによって制御されることを特徴とすることもできる。

【 0 0 1 2 】

また、この複数のドライバＩＣを接続するビデオ転送用ラインは、第１の信号ラインとこの第１の信号ラインとは極性を反転させた第２の信号ラインとで構成されることを特徴とすることができる。このように構成すれば、高速シリアル転送を実施した場合においても、電波障害(E M I)の発生問題を極力、抑えることが可能となると共に、確実な信号伝送を可能とする点で優れている。更に、ビデオ転送用ライン以外の同期クロック線も同様な１ペアの配線とすることが可能である。

また、この複数のドライバＩＣに対してカスケード接続されるクロックラインと電源ラインとを更に備えたことを特徴とすれば、基板上への配線を効率化してW O Aを実現することが可能となる。

更に、複数のドライバＩＣを構成する上流側のドライバＩＣは、ビデオとクロックの位相をほぼ整合させるためのダミー回路を備えていることを特徴とすれば、各ドライバＩＣに同期合わせのためのP L L (Phase Locked Loop : 位相同期回路)を設けることなく、カスケード接続され複数のドライバＩＣにおける位相合わせを実現できる点で優れている。尚、位相の整合は必ずしも完全な一致を図る必要はなく、許容範囲内で整合させることができれば問題がない。

【 0 0 1 3 】

また、本発明を液晶コントローラ側から捉えると、本発明が適用される液晶コントローラは、ホスト側から画像表示のためのビデオ信号を入力するレシーバと、このホスト側から入力された制御信号に基づいて、複数のドライバＩＣがカスケード接続されたL C Dドライバに対して出力すべきパケットデータのヘッダー

情報を生成するシーケンサと、このレシーバにより入力されたビデオ信号をシリアルビデオ信号に変換すると共に、このシーケンサにより生成されたヘッダー情報を付加してシリアルビデオ信号をLCDドライバに出力する出力手段とを備えたことを特徴とすることができる。このパケット転送により、例えばビデオ転送用ラインだけでLCDドライバを制御するように構成することが可能となり、従来技術における制御用入力を不要とできる点で優れている。

このシーケンサは、このLCDドライバにおける複数のドライバICが同期を取るためのヘッダー情報を生成すると共に、この出力手段は、水平ブランキング期間を用いて同期に用いるヘッダー情報を出力することを特徴とすることができる。

【0014】

また、本発明は、複数のドライバICにより構成されるLCDドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、シリアルインターフェイスを介して水平ブランキング期間を含むビデオ信号をこの複数のドライバICに対して伝送し、このビデオ信号は、水平ブランキング期間を用いて同期パターンを伝送することにより複数のドライバICにおける同期がとられることを特徴とすることができる。

更に、この同期パターンは少なくとも2サイクルが伝送されれば、シリアルで伝送された同期パターンの切り出しを、ドライバIC側で実行できる点で優れている。また、ドライバIC側でビデオ信号の転送期間は同期パターンの確認がなされることを特徴とすれば、誤動作した場合も1ライン後には同期の復帰ができる点で好ましい。

【0015】

また、本発明は、カスケード接続された複数のドライバICにより構成されるLCDドライバに対してビデオ信号を伝送するためのビデオ信号伝送方法であって、シリアルインターフェイスを介してカスケード接続された複数のドライバICに対してビデオ信号を伝送し、この複数のドライバICは伝送された自ら処理すべきビデオ信号に基づいてLCDに対して電圧を出力し、ビデオ信号は、複数の属性を有するビットブロックによって構成されると共に、このビットブロック

を用いて複数のドライバ I C を制御することを特徴とすることができる。

【 0 0 1 6 】

また、このビットブロックの 1 つはドライバ I C を待機させるための待機コマンドを含むものであり、この待機コマンドは、ビデオ信号を自ら処理しているドライバ I C により生成されて、カスケード接続された下流側のドライバ I C に対して伝送されることを特徴とすることができる。この方法によれば、下流側のドライバ I C に対して上流側のドライバ I C が処理すべきビデオ信号を見せない手法でビデオ信号を分配することが可能であり、ビデオ信号の分配もビデオ信号用の配線で行うことが可能となる点で好ましい。

また、この LCD ドライバに対して伝送されるビデオ信号は、パケットにより転送されると共に、このパケットのヘッダー部を用いたプロトコルにより複数のドライバ I C が制御されることを特徴とすれば、例えば、ドライバ I C に制御用入力を特別に設けることなく、全てのドライバ I C の制御を簡易に実行することができる点で優れている。

【 0 0 1 7 】

【発明の実施の形態】

図 1 は、本発明が適用された画像表示装置の一実施形態を示す構成図である。同図において、符号 1 は液晶セルコントロール回路、符号 2 は薄膜トランジスタ (T F T) の液晶構造を有する液晶セルであり、これらによって液晶モジュールを形成している。この液晶モジュールは、ホスト側のシステム装置とは分離した表示装置に、またはノートブック P C の場合にはその表示部に形成されるものである。この液晶セルコントロール回路 1 では、システム側のグラフィックスコントローラ L S I (図示せず) からビデオインターフェイス (I / F) 3 を介して R G B ビデオデータ (ビデオ信号) や制御信号が L C D コントローラ 4 に入力される。また、一般に、D C 電源もこのビデオ I / F 3 を介して供給される。D C - D C コンバータ 5 は、供給された D C 電源から液晶セルコントロール回路 1 で必要な各種 D C 電源電圧を作り出し、ゲートドライバ 6 やソースドライバ 7、バックライト用の蛍光管 (図示せず) 等に供給している。L C D コントローラ 4 は、ビデオ I / F 3 から受け取った信号を処理してゲートドライバ 6 やソースドライバ 7 に供

給している。ソースドライバ 7 は、液晶セル 2 上にマトリックス状に並んだ T F T 配列において、水平方向(X方向)に並んだ、T F T の各ソース電極に印加する電圧を出力する。また、ゲートドライバ 6 は、同じく垂直方向(Y方向)に並んだ、T F T の各ゲート電極に印加する電圧を出力する。

【0018】

このゲートドライバ 6 およびソースドライバ 7 は共に複数個の I C で構成されている。本実施の形態では、ソースドライバ 7 は L S I のチップである複数のソースドライバ I C 2 0 を備えている。図 1 では、説明の都合上、液晶セルコントロール回路 1 と液晶セル 2 が分離しているように示されているが、本実施の形態では、複数のソースドライバ I C 2 0 が液晶セル 2 を構成するガラス基板上に C O G 構造で形成され、更に各配線もガラス基板上に W O A 構造で形成されている。また、更に特徴的な構成として、この複数のソースドライバ I C 2 0 に対する全ての配線は、カスケード接続(継続接続、多段接続として順番に接続される形式)で行われている。即ち、従来技術における 2 8 本のビデオインターフェイス信号を用いた駆動を、データ用の 1 ペアの信号線とクロック用の 1 ペアの信号線を用いて駆動するように構成されている。そのために、各ソースドライバ I C 2 0 のチップにおける左右端に 4 個ずつの I O パッドが配置されるもので足りる。本実施の形態では、更に、電源関係の入力も各ソースドライバ I C 2 0 のチップにおける左右端から行うように構成し、電源もチップ内のメタル層を介してカスケード接続するようにした。このように構成すれば、ガラス基板における各ソースドライバ I C 2 0 の真下にあたる部分には、ドライバ用の配線を置く必要がなくなり、この部分に T F T を保護するために通常使用されるショート・リングの配線を置くことが可能になる。

【0019】

図 2 は、本実施の形態における L C D コントローラ 4 の内部構成を示す説明図である。

符号 1 1 はレシーバであり、ビデオ I / F 3 (図 1 参照)を介して入力されたパラレルの R G B ビデオデータを受信してラッチする機能を有している。1 2 はシーケンサ、1 3 はパケットを作るための情報が格納されたテーブルである。この

シーケンサ 1 2 は、ビデオ I / F 3 を介して入力された V S (垂直同期信号)、H S (水平同期信号)、D T (ディスプレイタイミング) の 3 つの制御信号から、テーブル 1 3 に格納された情報に基づいて 4 ビットからなるパケットのヘッダー情報を作成している。具体的には、例えばブランキング時間であれば "0 0 0 0" を出力する等、ソースドライバ I C 2 0 を制御するコマンドを作成している。また、各ソースドライバ I C 2 0 の同期に用いる同期信号を水平ブランキング期間に送信するように構成されている。1 4 はパラレル/シリアル変換器であり、レシーバ 1 1 にラッチされ出力された 2 4 ビットのパラレルであるビデオデータと、シーケンサ 1 2 により生成された 4 ビットのヘッダー情報を、シリアルに変換して、差動バッファ 1 6 に供給している。1 5 は P L L (Phase Locked Loop : 位相同期回路) であり、2 8 倍の通倍クロックを作成して差動バッファ 1 7 に供給している。この差動バッファ 1 6、1 7 は、パラレル/シリアル変換器 1 4 から出力されたデータおよび通倍されたクロックに対し、更に極性を反転させた同様なデータを付加した差動信号を形成して、ソースドライバ I C 2 0 に対して出力している。

【 0 0 2 0 】

図 3 は、本実施の形態におけるソースドライバ I C 2 0 の内部構成を示す説明図である。このソースドライバ I C 2 0 は、L C D コントローラ 4 や前段にあるソースドライバ I C 2 0 からの差動信号を受ける差動バッファ 2 1、2 2、後段のソースドライバ I C 2 0 に対して差動信号を出力する差動バッファ 2 3、2 4 を備えている。また、差動バッファ 2 2 から入力された差動クロック信号からシングルクロックを形成する変換器 2 5、差動バッファ 2 1 から入力された差動ビデオ信号からシングルビデオ信号 (Sin) を生成する変換器 2 6 を備えている。また、変換器 2 5 からのクロックを同期した低い周波数に変換するクロック分周回路 2 7、シリアルデータから適切な 4 ビットパラレルデータを生成するシリアルビデオ信号受信回路 2 8、L C D ソース・ドライバ回路 3 1 の制御を行うドライバ制御回路 2 9 を備えている。更に、ガンマ補正用の基準電位を生成するガンマ補正回路 3 0、ビデオデータを受けて液晶セル 2 に対してビデオ電圧を書き込む L C D ソース・ドライバ回路 3 1 を備えている。

【 0 0 2 1 】

本実施の形態では、差動バッファ 2 3 , 2 4 は、ドライバ制御回路 2 9 から出力される制御信号 Cnt_Mask により、出力を強制的に " 1 " にすることが可能である。このように構成することで、下流側のソースドライバ IC 2 0 に対して自分用のビデオデータをマスクすることが可能となり、特別な配線を設けることなく、ソースドライバ IC 2 0 間におけるビデオデータの分配を実行することが可能となる。また、ソースドライバ IC 2 0 を構成する各回路を差動クロックで動作するように設計する場合には、変換器 2 5 は差動バッファ 2 1 , 2 2 と同様な差動バッファとなる。ガンマ補正回路 3 0 は、外部からガンマ補正用基準電位を入力する場合は不要となるが、ソースドライバ IC 2 0 の入力数を削減するためには内部で発生させることが好ましい。回路的には、1 0 ビット精度程度の DAC を複数用意し、ガンマ補正データを本実施の形態におけるインターフェイスを介してダウンロードすれば良い。また、LCD ソース・ドライバ回路 3 1 は、通常の LCD ソース・ドライバをそのまま流用することが可能である。即ち、図 3 に示すガンマ補正回路 3 0 および LCD ソース・ドライバ回路 3 1 を除く各回路を、通常の LCD ソース・ドライバに取り込むことによって高速シリアル・ビデオインターフェイスを供える LCD ソース・ドライバを実現することが可能である。但し、XGA (Extended Graphics Array) (1024×768 ドット) の解像度の場合、入力のクロック周波数は 2 GHz 程度となるため、出願人 (IBM 社) が提唱している SiGe (シリコンゲルマニウム) - BiCMOS テクノロジー等のプロセスを用いることが好ましい。尚、ここでは SiGe - BiCMOS テクノロジーについての詳細な説明は省略する。

【 0 0 2 2 】

ここで、本実施の形態におけるシリアル転送のプロトコルについて説明する。

図 4 は、本実施の形態に用いられるシリアルデータのフォーマット例を示している。これらのシリアルデータは、前述した LCD コントローラ 4 によって形成されて、又は前段 (上流側) のソースドライバ IC 2 0 で形成され、カスケード接続されたソースドライバ IC 2 0 に供給されるものである。

本実施の形態におけるシリアルデータは、2 8 ビットで構成されている。本実

施の形態では、これをビットブロックと呼んでいる。このビットブロックは、4 ビットのヘッダー 4 1 と 2 4 ビットのデータ 4 2 から構成されている。本実施の形態におけるプロトコルでは、ヘッダー 4 1 により、図 4 に示す 4 4 ~ 4 7 の 4 種類のビットブロックを定義している。

【 0 0 2 3 】

(1) 同期用ビットブロック 4 4

ブランキング期間中に送信されてくるビットブロックである。ヘッダー 4 1 は同期用のビットブロックである [1000] を示し、データ 4 2 は全て "0" である。この期間中に、各ソースドライバ IC 2 0 はビデオデータの同期を取れるように構成されている。

【 0 0 2 4 】

(2) コマンド用ビットブロック 4 5

ブランキング期間中の任意のタイミングで送信されてくるビットブロックである。ヘッダー 4 1 はコマンド用のビットブロックである [1100] を示している。各ソースドライバ IC 2 0 は、データ 4 2 の制御用データを解釈し、液晶セル 2 の駆動を行っている。以下に制御用データの実現例を示す。

(a) ビデオデータ送信開始 [0000-0000-0000-0000-0000-0000]

ビデオデータ転送の開始を知らせる。このコマンド発行後にデータ用ビットブロック(後述)によるビデオデータの転送が開始される。

(b) ガンマデータ送信開始 [1000-1000-1000-1000-1000-1000]

ガンマ補正用データ(基準電位発生のための値)転送の開始を知らせる。このコマンド発行後にデータ用ビットブロック(後述)によるガンマデータ転送が開始される。

(c) ストロープ ON/OFF

ストロープ ON [1101-1101-1101-1101-1101-1101]

ストロープ OFF [1100-1100-1100-1100-1100-1100]

液晶セル 2 への出力の開始を知らせる。ドライバ制御回路 2 9 は、ストロープ ON を受け取ると、LCD ソース・ドライバ回路 3 1 へのストロープ(STB)信号を High にする。また、ストロープ OFF を受け取ると、LCD ソース・ドライ

バ回路 3 1 へのストローブ (S T B) 信号を Low にする。これにより、ストローブ信号が High の期間は液晶セル 2 への出力を高インピーダンス状態にする制御が可能となる。

(d) 出力極性指定

正極性出力 [1111-1111-1111-1111-1111-1111]

負極性出力 [1110-1110-1110-1110-1110-1110]

液晶セル 2 への出力電圧の極性を指定する。ドライバ制御回路 2 9 は、このコマンドにより内部の極性制御信号 (P O L) のセット・リセットを行う。

【 0 0 2 5 】

(3) データ用ビットブロック 4 6

ビデオデータあるいはガンマ補正用データを転送する。ヘッダー 4 1 はデータ用のビットブロックである [1110] を示しており、内容の識別は先立って送信されるコマンドによって行う。

(a) ビデオデータ [Red 8-bit] [Green 8-bit] [Blue 8-bit]

1 ライン分のデータを連続して転送する。X G A の場合は 1 0 2 4 個のデータ用ビットブロック 4 6 が連続して送信されてくる。各ソースドライバ I C 2 0 のドライバ制御回路 2 9 は、自分用のデータのみを受信するように構成されている。自分用のデータを受信している間、後続のソースドライバ I C 2 0 には、データ用ビットブロック 4 6 を待機用ビットブロック (後述) に置き換えて渡している。

(b) ガンマ補正用データ [Gamma 10-bit] [0000000000000000]

1 0 ビット精度のガンマ補正用基準電位を発生させる場合を示している。必要なデータ数を連続して送信する。全てのソースドライバ I C 2 0 のドライバ制御回路 2 9 が同じデータを受信するように構成することもでき、また、ソースドライバ I C 2 0 毎に異なったデータを受信されるように構成することも可能である。

【 0 0 2 6 】

(4) 待機用ビットブロック 4 7

ソースドライバ I C 2 0 間でのみ使用する。ヘッダー 4 1 は待機用のビットブ

ロックである [1111] (wait) を示している。個々のソースドライバ IC 20 は、ビデオデータの受信中に待機用ビットブロック 4 7 を後続のソースドライバ IC 20 に渡す。待機用ビットブロック 4 7 受信中は、何も処理を行わず、データ用ビットブロック 4 6 におけるビデオデータの受信を待つように構成されている。

【 0 0 2 7 】

図 5 (a)、(b)、(c) は、連続するビットブロックにより構成されるシリアル信号の流れを示している。図 5 (a) は、初期設定として、各ソースドライバ IC 20 のガンマ補正データを設定する状況を示している。先ず最初に、連続する複数の同期用ビットブロック 4 4 からなる同期期間 (Sync 期間) があり、ソースドライバ IC 20 はこれによって同期を取る。次に、コマンド用ビットブロック 4 5 におけるガンマデータ送信開始コマンドを受け取り、引き続いてデータ用ビットブロック 4 6 におけるガンマ補正データを受信する。このガンマ補正データは、前述のように、必要数のデータ用ビットブロック 4 6 からなっている。

【 0 0 2 8 】

図 5 (b) は、n ラインのビデオデータの流れを示しており、ここでは、最初のソースドライバ IC 20 であるファーストチップの入力と、次のソースドライバ IC 20 であるセカンドチップの入力を例に挙げて説明している。ブランキング期間 (Sync : 同期期間) の後に、コマンド用ビットブロック 4 5 におけるビデオデータ送信開始コマンドが送信され、引き続いて 1 ライン分のビデオデータが送信されてくる。その後、適当なタイミングでストローブ ON コマンドが送信されてくるので、この時、ソースドライバ IC 20 は液晶セル 2 へのデータ書き込みを開始する。但し、実際に液晶セル 2 に対して電圧を印加するのは、次にストローブ OFF コマンドを受信したときであり、それまでの期間は出力が高インピーダンスに保たれる。ストローブ ON コマンドとストローブ OFF コマンドとの間における出力極性指定コマンドによって、出力は正出力が選択される。ここで、図 5 (b) 上段のファーストチップでは、自分のビデオデータ受信中は後続のソースドライバ IC 20 (セカンドチップ) に対して待機用ビットブロック 4 7 を送出している。下段のセカンドチップは、待機用ビットブロック 4 7 を読み飛ばしてビデオデータの受信を開始し、液晶セル 2 へのデータ書き込みを実施する。

図5(c)は、 $n+1$ ラインのビデオデータの流れを示している。図5(b)との違いは、出力極性として負出力が指定される点である。

【0029】

このように、本実施の形態では、ビデオデータの転送やソースドライバIC20の制御を4種類のビットブロックにより実施している。その結果、従来のLCDソースドライバで用意されていた制御用入力ピンが全て不要になり、WOAの実現が可能となる。

【0030】

次に、図3で説明したシリアルビデオ信号受信回路28の構成について説明する。

図6は、シリアルビデオ信号受信回路28の構成を示した図である。このシリアルビデオ信号受信回路28は、送られてくるシリアルデータ中の同期用ビットブロック44を用いて自動的に同期をとり、頭出しの整った4ビットの平行データを出力する機能を有している。図6において、符号51は変換器であり、シリアルデータを4ビットの平行データに変換している。52,53は、変換器51から出力されたシリアルデータをラッチする4ビットラッチである。54はセレクタであり、7本の信号(A0~A2、B0~B3)から4本の信号を選択している。55はデコーダであり、4ビットラッチ52の出力をデコードするための回路である。56はシーケンサであり、デコーダ55によりデコードされた出力を使用して同期制御およびセレクタ54の制御を行っている。57はデコーダであり、セレクタ54の出力をデコードするための回路である。また、58は3ビットの同期用カウンタであり、ビットブロックのヘッダー位置を記憶している。

【0031】

この変換器51および4ビットラッチ52,53は、シリアルデータを8ビット幅の平行データに変換する機能を果たしている。この部分は、ソースドライバIC20を構成する回路の中で最も高速に動作する部分であり、コンパクトな回路が要求されている。図7は、この変換器51および4ビットラッチ52,53を使用したシリアル/平行変換機能の実現例を示す図である。ここでは

、DFF(D-フリップフロップ)を使用して実現している。図中のSignal/Clockは、シリアル入力が2GHzで行われる場合の信号とクロックの動作周波数を表している。変換器51に入力されたシリアルデータは、変換器51によりパラレルに変換され、1GHzのクロック、サンプルできる幅(Signal)が1GHzで出力される。その後、4ビットラッチ52,53のDFFを経由して、500MHzのクロックの速度、サンプルできる幅(Signal)が500MHzで出力される。

【0032】

図6に示すデコーダ55は、4ビットラッチ52の出力をデコードして、同期用ビットブロック44のヘッダー41を探す回路である。デコーダ55は4ビットの比較器4個から構成されている。ここで、図8はヘッダー41の比較パターンとセクタ54の出力との関係を示す図である。左欄はnクロックにおける4ビットラッチ52からの出力であり、中欄はn+1クロック時におけるセクタ54からの出力である。更に、右欄はシーケンサ56からセクタ54に対して出力されるコントロールIDであり、セクタ54はこのコントロールIDを受けて中欄の信号を出力するように構成されている。それぞれは、入力[A3,A2,A1,A0]と図8のビットパターンを比較する。シーケンサ56は、データの同期が崩れている期間中のみデコーダ55の結果を使用して、セクタ54を図8のように制御し、データの同期を復帰する。一度設定されたセクタ54の状態は、再びデータの同期が崩れるまで保持される。

【0033】

デコーダ57は、セクタ54の出力をデコードしてデータの同期がとれているかどうかを示す回路であり、4ビットの比較器4個から構成されている。図9はデータ同期確認用のパターンを示す図である。4ビットの比較器で比較されるパターンは、図9に示すとおり、4種のビットブロックからなるヘッダー41のパターンである。シーケンサ56は、この比較結果を後述する適当なタイミングでモニターし、データの同期が崩れているならば同期の復帰を行うように構成されている。尚、データの同期が崩れている状態は、例えば電源投入時やシリアルな信号線にノイズが重なった時、また、停止したビデオデータの再開時等に生じる場合があり、この場合にはデコーダ55とシーケンサ56とによって誤ったビ

ット列が切り出されてしまう。本実施の形態では、デコーダ 5 7 からの出力によってデータの同期を確認でき、同期が崩れている場合には同期を復帰させることが可能となる。

【 0 0 3 4 】

同期用カウンタ 5 8 は、セクタ 5 4 の出力にビットブロックのヘッダー 4 1 が出力されているはずのタイミングを知らせるカウンタである。本実施の形態では、1 ビットブロックは 2 8 ビット構成であることから、セクタ 5 4 の出力には、7 出力毎にヘッダー 4 1 が出力されるはずである。従って、データの同期を取っている期間中(シーケンサ 5 6 に知らされる)に、デコーダ 5 5 が同期用ビットブロック 4 4 のヘッダー 4 1 を発見したタイミングで、同期用カウンタ 5 8 を 0 にリセットし、0 から 6 までを繰り返しカウントさせれば、同期用カウンタ 5 8 が 0 を示すタイミングでセクタ 5 4 の出力にヘッダー 4 1 が出力されることとなる。シーケンサ 5 6 は、このタイミングでデコーダ 5 7 の出力をモニターすることによって、データの同期が取れているかどうかを判断している。

【 0 0 3 5 】

図 1 0 は、シーケンサ 5 6 の状態遷移を示す状態遷移図である。シーケンサ 5 6 の状態遷移は、同期用カウンタ 5 8 が 0 のタイミングで発生する。まず、システムリセット後、シーケンサ 5 6 は「同期復帰中」状態 6 1 にある。この期間中は、デコーダ 5 5 の結果を基にセクタ 5 4 の制御を行い、自動的にデータの同期と頭だし処理を行う。デコーダ 5 7 から同期用ビットブロック 4 4 のヘッダー 4 1 が正しく検出されたら、「同期用ビットブロック受信」状態 6 2 に遷移する。この状態では、同期用ビットブロック 4 4 を受信するだけで何も処理は行われない。ここで、コマンド用ビットブロック 4 5 のヘッダーコマンドを受信したら、「コマンド用ビットブロック受信」状態 6 3 に遷移する。もし、未定義のビットパターンを受信したらエラーとし、「同期復帰中」状態 6 1 に戻り、データの同期を取り直す。「コマンド用ビットブロック受信」状態 6 3 では、各種制御用コマンドを受信する。「データ用ビットブロック受信」状態 6 4 では、ビデオデータあるいはガンマ補正用データを受信する。「待機用ビットブロック受信」状態 6 5 では、データ用ビットブロック 4 6 の受信を待つ。この期間は

、着目するソースドライバ IC 20 よりも上流に配置されているソースドライバ IC 20 がビデオデータのサンプリングを実行している。着目するソースドライバ IC 20 は、待機用ビットブロック 47 に続いて送られてくるデータ用ビットブロック 46 を受信し、LCD ソース・ドライバ回路 31 に存在するビデオデータ用メモリ(図示せず)に記憶する。

【0036】

図 11 は、データ同期の流れを示す図であり、シリアルビデオ信号受信回路 28 の動作を示している。図 11 において、 $b_n(b_3 \sim b_0)$ 71 は変換器 51 の出力、 $A_n(A_3 \sim A_0)$ 72 は 4 ビットラッチ 52 の出力、 $B_n(B_3 \sim B_0)$ 73 はセレクタ 54 の出力を示している。また、符号 74 の Exxxx はデコーダ 55 の結果であり、同期(Sync)、コマンド(Command)、データ(Data)はデコーダ 57 の結果である。H カウンタ(Hcounter) 75 は同期用カウンタ 58 の値であり、この値が 0 のときにシーケンサ 56 は遷移する。コントロール(Control) 76 はセレクタ 54 の制御信号であり、図 8 のように機能する。状態(State) 77 はシーケンサ 56 の状態を表し、0 は「同期復帰中」状態 61、1 は「同期用ビットブロック受信」状態 62、2 は「コマンド用ビットブロック受信」状態 63、3 は「データ用ビットブロック受信」状態 64 を表している。また、 $D_n(D_3 \sim D_0)$ はセレクタ 54 の出力を示している。この図 11 では、シリアル入力が安定した後、Sync、Sync、Command、Data、Data の順で入力が進み、データの同期が取れていく様子が示されている。データの同期には最低 2 サイクルの Sync が必要となる。

【0037】

次に、図 3 で説明したドライバ制御回路 29 の構成について説明する。

図 12 はドライバ制御回路 29 の構成を示した図である。図 12 に示すように、このドライバ制御回路 29 は、シリアルビデオ信号受信回路 28 により得られた 4 ビットパラレルデータを、4 ビット幅 7 段のシフトレジスタ 81 を使用して 28 ビットパラレルデータに変換する。更に、シフトレジスタ 81 の出力を図 6 に示した同期用カウンタ 58 が 0 を示すタイミングで、28 ビットのラッチ 82 に記憶する。このラッチ 82 に記憶されたデータ 24 ビットは、コントロール回

路 8 8 により制御される切り換えスイッチ 8 3 を介して 2 4 ビットのラッチ 8 4 またはラッチ 8 7 に記憶される。ラッチ 8 4 に記憶されたデータはビデオ信号であり、図 3 に示した LCD ソース・ドライバ回路 3 1 に出力される。ラッチ 8 4 は、ラッチ 8 5 とラッチ 8 6 の 2 段になっており、タイミングを合わせることができるように構成されている。ラッチ 8 7 に記憶されたデータはガンマ補正用データであり、図 3 に示すガンマ補正回路 3 0 に出力される。切り換えスイッチ 8 3 の制御は、先立って受信されたコマンドがビデオデータ送信開始であったかガンマデータ送信開始であったかによって行われる。

【 0 0 3 8 】

コントロール回路 8 8 は、受信したコマンドに従って、LCD ソース・ドライバ回路 3 1 への制御信号を生成する。図 1 2 に示す制御信号 S P in は、サンプリング開始パルスであり、ビデオデータを受け取ったタイミングで発生させる。S T B は、液晶セル 2 への出力を制御する信号であり、ストロブ O N のコマンドを受信したら S T B に High を出力する。また、ストロブ O F F のコマンドを受信したら S T B に Low を出力する。P O L は、液晶セル 2 への出力の極性を制御する信号であり、正極性出力コマンドを受信したら P O L に High を出力し、負極性出力コマンドを受信したら P O L に Low を出力する。S P out は、LCD ソース・ドライバ回路 3 1 からの入力信号であり、1 チップ分のビデオデータのサンプリングが終了するタイミングを知らせている。コントロール回路 8 8 は、S P out とシリアルビデオ信号受信回路 2 8 からの 4 ビットデータを使用して、待機用ビットブロック 4 7 を生成する信号である Cnt_Mask を生成する。Strobe は、ガンマ補正用データを受信したことを図 3 に示すガンマ補正回路 3 0 に知らせる信号である。

【 0 0 3 9 】

図 1 3 (a)、(b) は、制御信号の生成の様子 (波形と各制御信号の状態遷移図) を示している。図 1 3 (a) に示すラッチ 8 2 は図 1 2 に示すラッチ 8 2 の出力を表している。このとき、ビデオデータ (Video Data) は、切り換えスイッチ 8 3 を通してラッチ 8 5、ラッチ 8 6 とラッチされて、LCD ソース・ドライバ回路 3 1 へ出力される。図 1 3 (b) に示す状態遷移図のように、このとき、S P in は、

ビデオデータ送信開始コマンド(Cmd Video)を受けた後、最初のビデオデータを受信したタイミングで1パルス出力される。即ち、状態が0から1に遷移する。STBは、ストローブONコマンド(Cmd Stb0n)を受けると1に設定され、ストローブOFFコマンド(Cmd Stb0f)を受けると0にクリアされる。更に、POLは、出力極性指定コマンド(Cmd Pos/Cmd Neg)を受けると、指定された極性を表すビットに遷移する。但し、ここで示したコントロール回路88は入力クロックの1/28で動作する。

【0040】

図14～図18に待機用ビットブロック47を生成することにより実現するビデオデータの分配の様子を示している。図14は、待機用ビットブロック47生成開始タイミングにおけるデータの流れを示した図である。実装される全てのソースドライバIC20で同じ動作が実行される。シリアルビデオ入力は、図6に示した変換器51、4ビットラッチ52、4ビットラッチ53、セクタ54を経由して、図12に示すコントロール回路88に到達する。シリアルビデオ入力は2GHz程度の信号であり、それ以外は、2GHzの1/4にあたる500MHz程度の信号となる。コントロール回路88は、セクタ54からビットブロックのヘッダー41が出力されるタイミング(図6に示す同期用カウンタ58が0を出力するタイミング)で、入力されたビットブロックがコマンド用ビットブロック45であることを知り、次の500MHzクロックで、そのコマンドがビデオデータ送信開始コマンドであることを知る。このとき、Cnt_Maskを1にする。Cnt_Maskの変化点は、自走する変換器51のタイミングにより、2GHzクロックで4クロック分のばらつきが発生する。しかし、コマンド用ビットブロック45に続くデータ用ビットブロック46のヘッダー41まで十分に余裕があるので、確実にそのヘッダー[1110]を[1111]に、つまり、待機用ビットブロック47に変化させることができる。また、Cnt_Maskが0から1に変化するタイミングでは、差動バッファ23の出力が不定になる可能性があるが、この期間は、後続のソースドライバIC20にとって、もともと意味を持たない部分であり、問題が生じることはない。

【0041】

図15は、シリアルビデオ入力から、24ビットデータ完成までの遅延を示す図であり、図12に示すラッチ82に24ビットのデータが出力されるまでの遅延を説明している。また、図16は、LCDソース・ドライバ回路31へのデータ出力とサンプリングパルスのタイミングを示す図であり、ラッチ82の24ビットデータが図12に示すラッチ85、ラッチ86を経由して、図3に示すLCDソース・ドライバ回路31に出力される様子を示している。図16において、SPinはサンプリング開始パルスであり、SPn(SP0, SP1, SP2, SP3, ...)は、LCDソース・ドライバ回路31が内蔵するシフトレジスタ出力である。SPnが1のときにn番目のデータを記憶する。ここで、図17は、図15、図16を参考にしてソースドライバIC20間でデータの分配が発生するタイミングを記述した図である。図17は、384(128×3(RGB))出力のソースドライバIC20の場合を示しており、各ドライバチップは128個のデータ用ビットブロック46を必要とする。1個目のソースドライバIC20は、データ(Data)0～データ127を読み込み、2個目のソースドライバIC20は、データ128～データ255を読み込む。図17に示されるように、図12に示したコントロール回路88は、データ124を記憶しているタイミングを表すSP124をSPoutとして使用することにより、適正なタイミングでCnt_Maskを0に戻すことができることがわかる。Cnt_Maskが0に戻ると、待機用ビットブロック47になっていたシリアルビデオ信号が、もとのデータ用ビットブロック46になり、後続のソースドライバIC20は正しくビデオデータを受信することができるようになる。

【0042】

以上のように、Cnt_Mask信号を制御することによって、カスケード接続された複数のソースドライバIC20間で、正しくビデオデータの分配が行われる。

図18は、Cnt_Mask信号生成のシーケンスを示した図である。状態は1/4クロック(本実施の形態では500MHz)で動作する。Cnt_Mask信号は、State[11]のときに1になり、それ以外のStateでは0となる。

【0043】

図19は、図3に示した出力用の差動バッファ23,24の構成を示す図であ

る。図 1 9 において、Cnt_Mask が 1 のとき、ビデオデータ用の差動バッファ 2 3 の正出力(+Data)は 1 になり、負出力(-Data)は 0 になる。クロック用の差動バッファ 2 4 は、その特性をビデオデータ用の差動バッファ 2 3 に合わせるために、同じ構成とし、制御入力は 0 に固定されている。

【0 0 4 4】

以上説明したように、本実施の形態では、信号用パッドおよび電源用パッドをチップであるソースドライバ IC 2 0 の左右に配置し、チップ間の配線全てをカスケード接続とした。また、電源もチップ内のメタル層を介してカスケード接続するように構成している。その結果、チップ間のバス接続を無くすことが可能となり、WOAを実現することが可能となる。

また、ビデオ信号の水平ブランキング期間に 2 サイクルからなる同期パターンを送信するように構成している。また、ビデオデータの転送期間は各ビットブロックのヘッダーパターンのモニターを行い、同期の確認を行うように構成した。その結果、誤動作した場合であっても 1 ライン後には同期の復帰を図ることが可能となる。

更に、パケット転送により、ビデオ転送用のラインのみで各ソースドライバ IC 2 0 における制御を可能としている。その結果、通常用意されている制御用入力が全て不要となり、配線を画期的に削減することが可能となる。

また更に、チップ間におけるビデオデータの分配は、各ソースドライバ IC 2 0 が自分用のビデオデータをマスクすることにより後続のソースドライバ IC 2 0 に見せない手法で実現している。これにより、ビデオデータの分配もビデオデータ用の配線だけで行うことが可能となる。

【0 0 4 5】

【発明の効果】

以上説明したように、本発明によれば、LCDドライバの入力数を削減し、COG&WOAの実現によるコスト低減を図ることが可能となる。

また、コンパクトで低消費電力である高速なシリアルインターフェイスを実現でき、高速で動作する回路を最小限に押さえることで、消費電力とチップサイズの増加を低く押さえることが可能となる。

【図面の簡単な説明】

【図 1】 本発明が適用された画像表示装置の一実施形態を示す構成図である。

【図 2】 本実施の形態における LCD コントローラ 4 の内部構成を示す説明図である。

【図 3】 本実施の形態におけるソースドライバ IC 20 の内部構成を示す説明図である。

【図 4】 本実施の形態に用いられるシリアルデータのフォーマット例を示した図である。

【図 5】 (a)、(b)、(c)は、連続するビットブロックにより構成されるシリアル信号の流れを示した図である。

【図 6】 シリアルビデオ信号受信回路 28 の構成を示した図である。

【図 7】 変換器 51 および 4 ビットラッチ 52, 53 を使用したシリアル/パラレル変換機能の実現例を示す図である。

【図 8】 ヘッダー 41 の比較パターンとセクタ 54 の出力との関係を示す図である。

【図 9】 データ同期確認用のパターンを示す図である。

【図 10】 シーケンサ 56 の状態遷移を示す状態遷移図である。

【図 11】 データ同期の流れを示す図である。

【図 12】 ドライバ制御回路 29 の構成を示した図である。

【図 13】 (a)、(b)は、制御信号の生成の様子(波形と各制御信号の状態遷移図)を示した図である。

【図 14】 待機用ビットブロック 47 生成開始タイミングにおけるデータの流れを示した図である。

【図 15】 シリアルビデオ入力から 24 ビットデータ完成までの遅延を示す図である。

【図 16】 LCD ソース・ドライバ回路 31 へのデータ出力とサンプリングパルスのタイミングを示す図である。

【図 17】 ソースドライバ IC 20 間でデータの分配が発生するタイミン

グを記述した図である。

【図 1 8】 Cnt_Mask信号生成のシーケンスを示した図である。

【図 1 9】 図 3 に示した出力用の差動バッファ 2 3 , 2 4 の構成を示す図である。

【図 2 0】 従来の LCD ソースドライバで採用されているインターフェイスを説明するための図である。

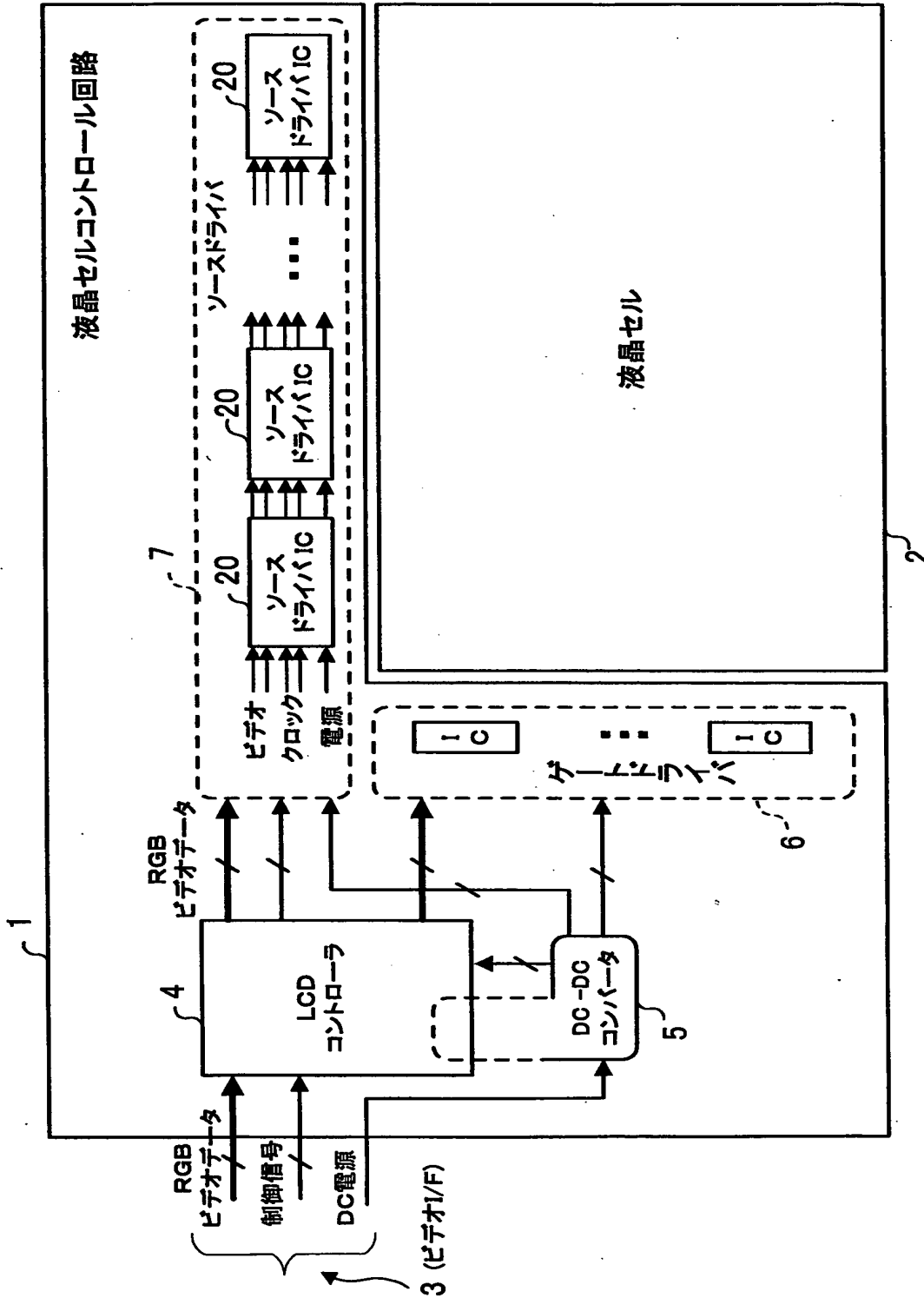
【符号の説明】

1 …液晶セルコントロール回路、2 …液晶セル、3 …ビデオインターフェイス(I/F)、4 …LCD コントローラ、6 …ゲートドライバ、7 …ソースドライバ、1 1 …レシーバ、1 2 …シーケンサ、1 3 …テーブル、1 4 …パラレル/シリアル変換器、1 5 …PLL、1 6 , 1 7 …差動バッファ、2 0 …ソースドライバ IC、2 1 , 2 2 , 2 3 , 2 4 …差動バッファ、2 5 , 2 6 …変換器、2 7 …クロック分周回路、2 8 …シリアルビデオ信号受信回路、2 9 …ドライバ制御回路、3 0 …ガンマ補正回路、3 1 …LCD ソース・ドライバ回路、4 1 …ヘッダー、4 2 …データ、4 4 …同期用ビットブロック、4 5 …コマンド用ビットブロック、4 6 …データ用ビットブロック、4 7 …待機用ビットブロック、5 1 …変換器、5 2 , 5 3 …4 ビットラッチ、5 4 …セレクタ、5 5 …デコーダ、5 6 …シーケンサ、5 7 …デコーダ、5 8 …同期用カウンタ、8 1 …シフトレジスタ、8 2 …ラッチ、8 3 …切り換えスイッチ、8 4 , 8 5 , 8 6 , 8 7 …ラッチ、8 8 …コントロール回路

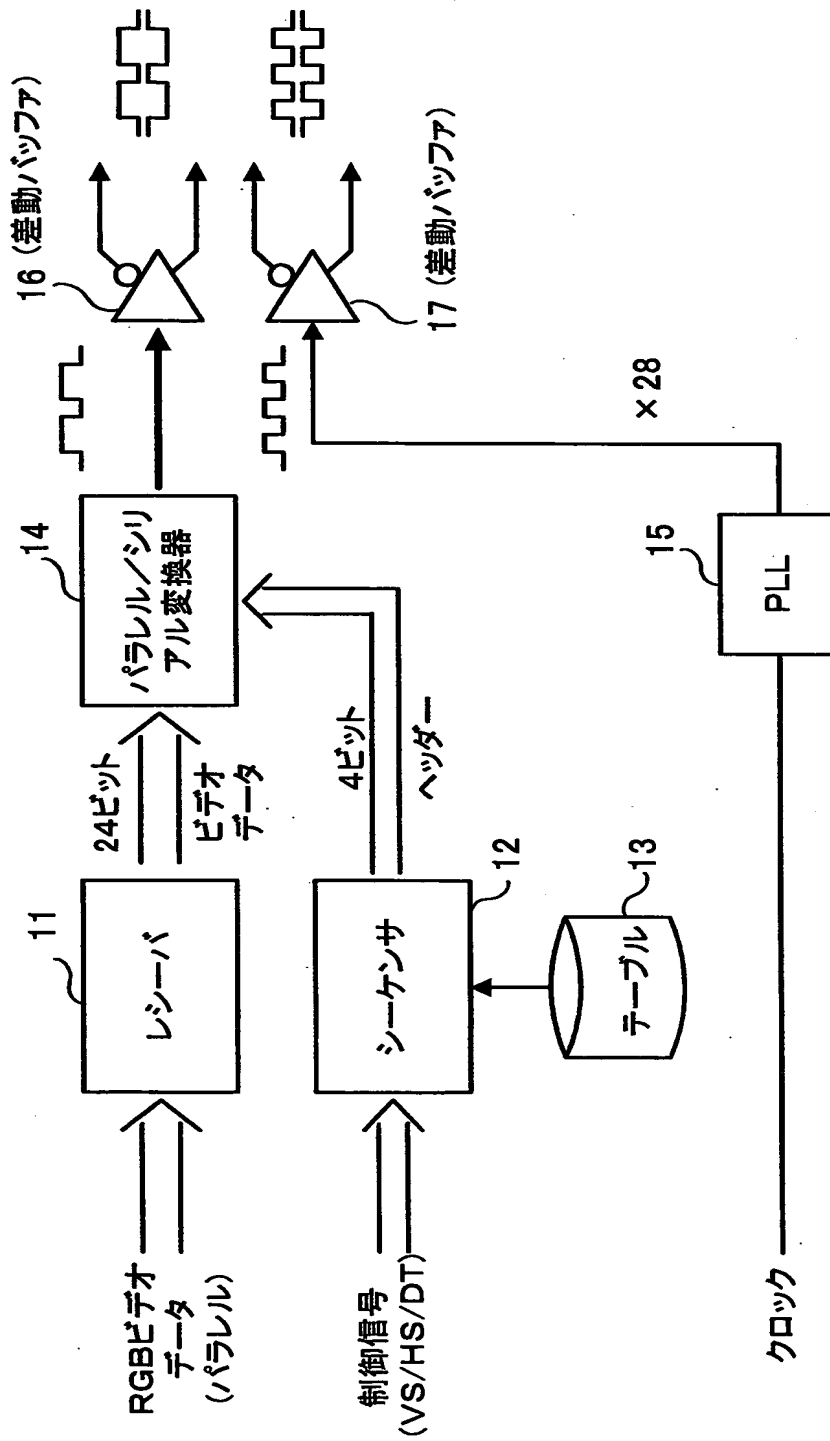
【書類名】

図面

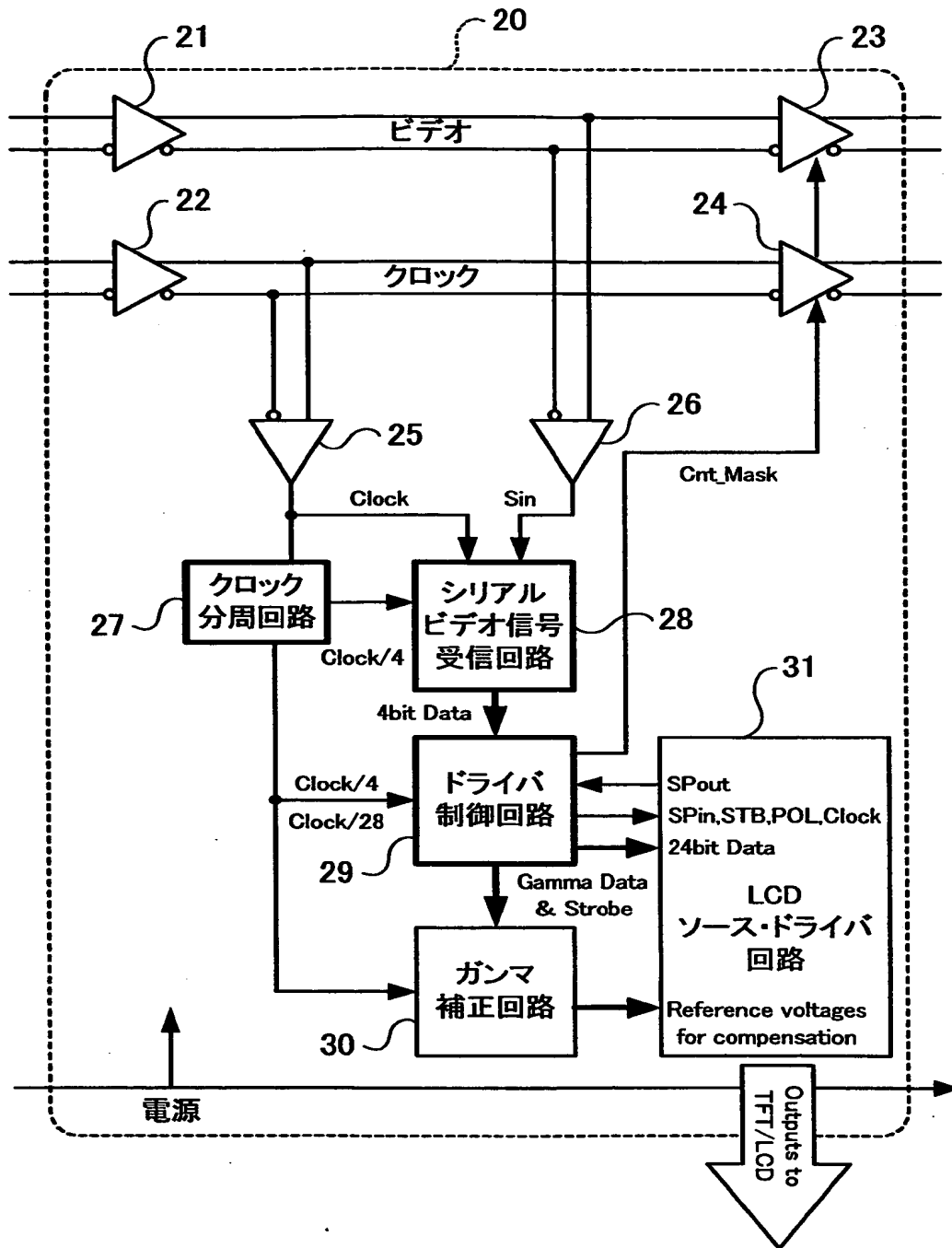
【図 1】



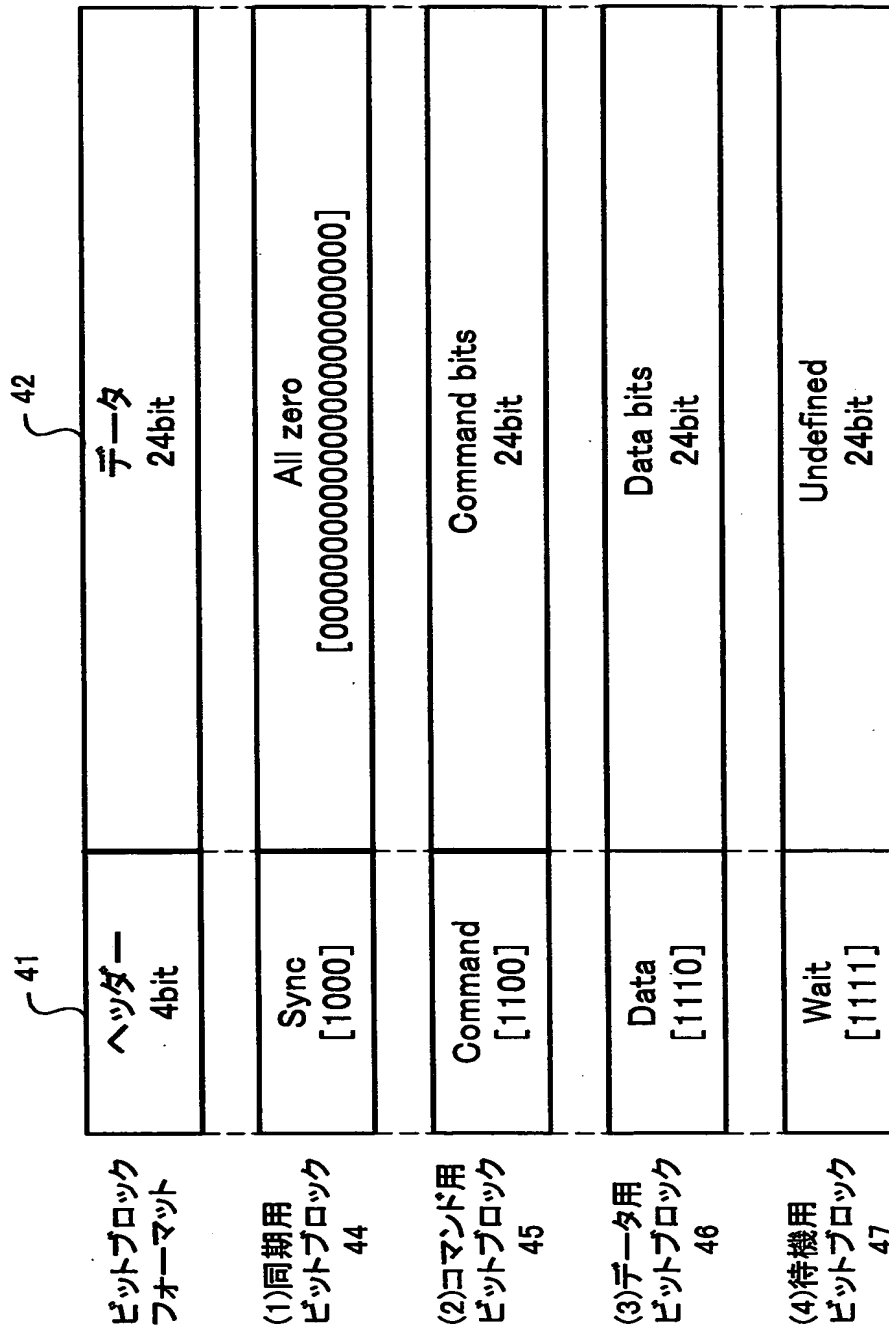
【図 2】



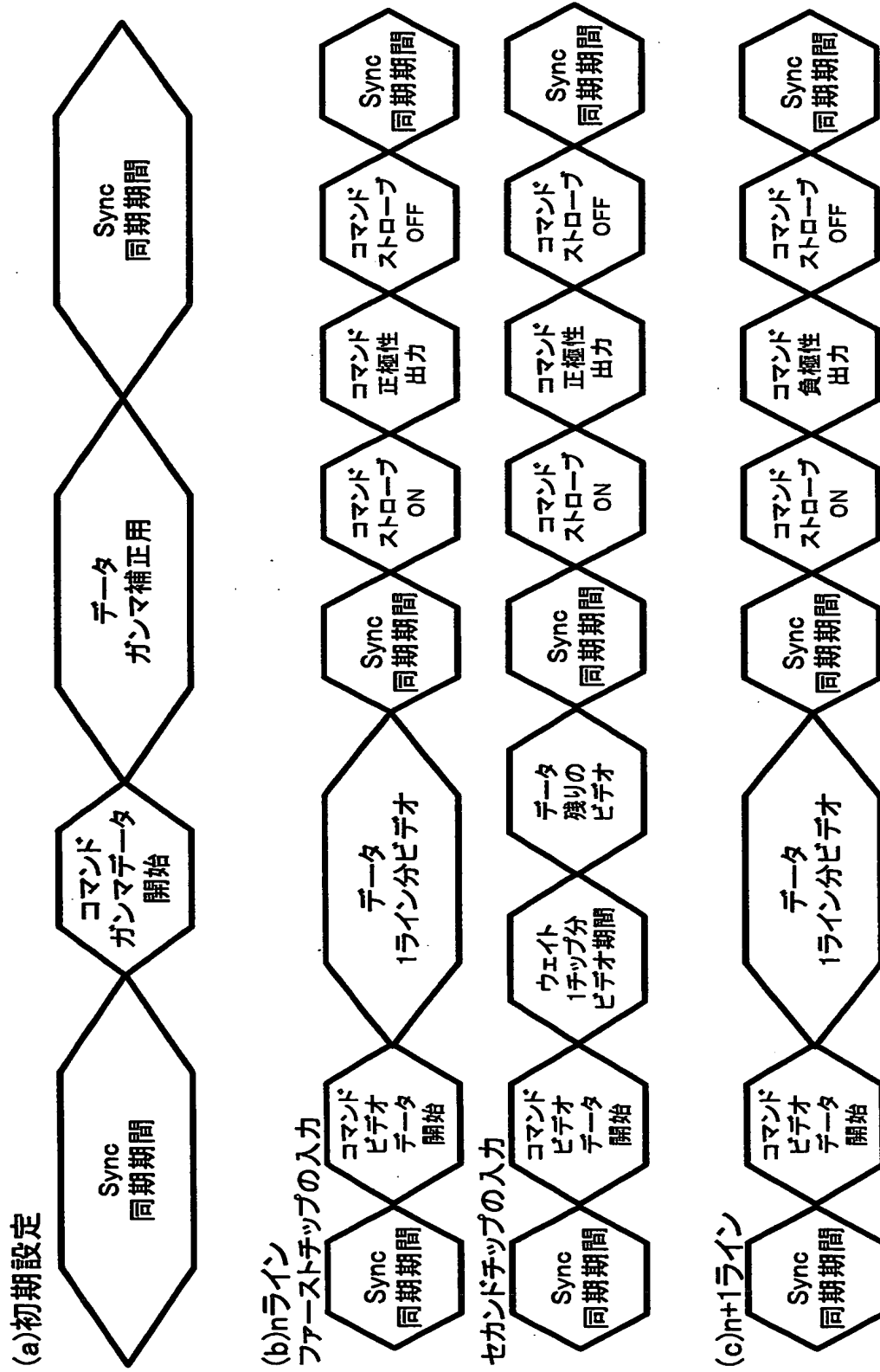
【図 3】



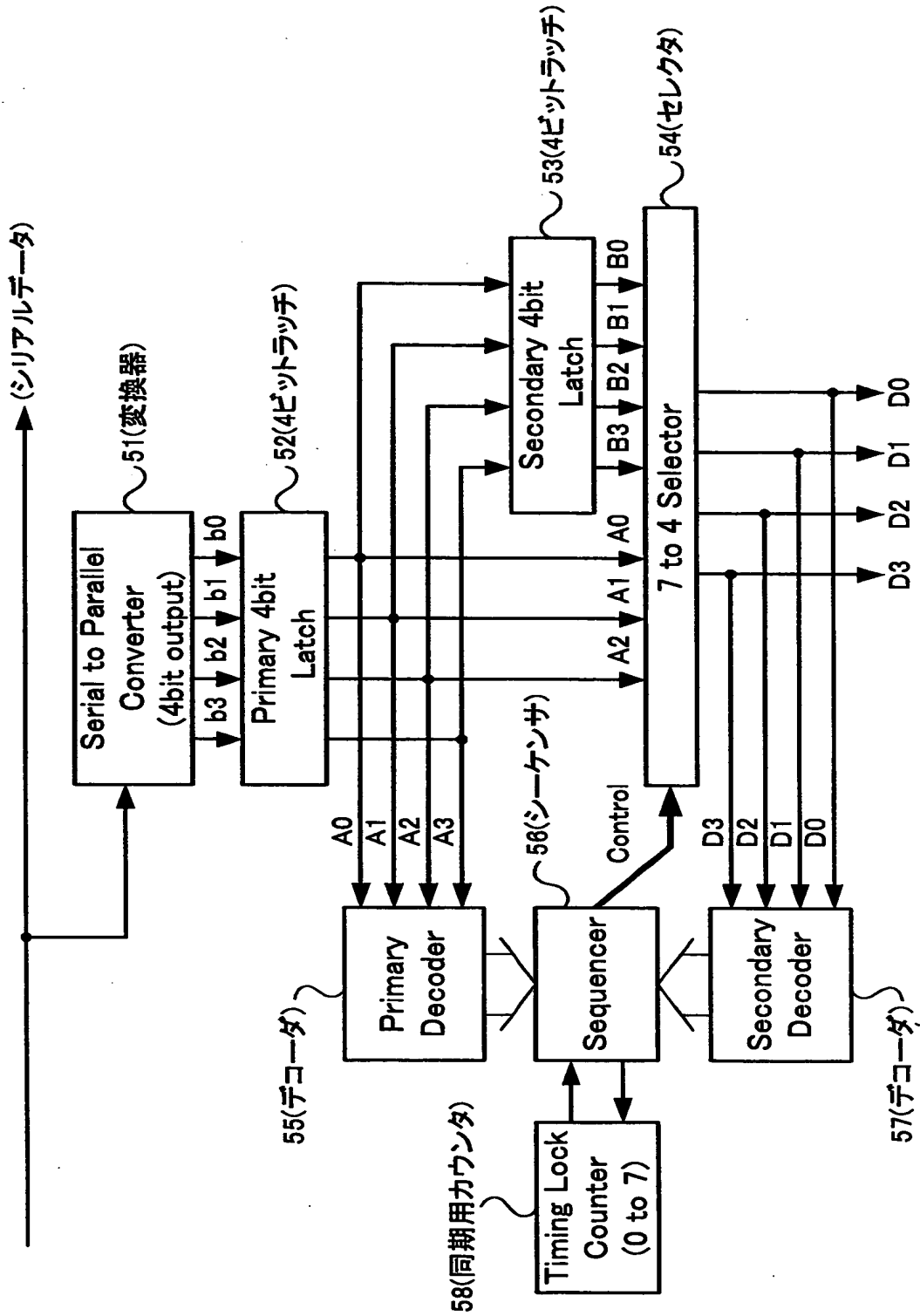
【図 4】



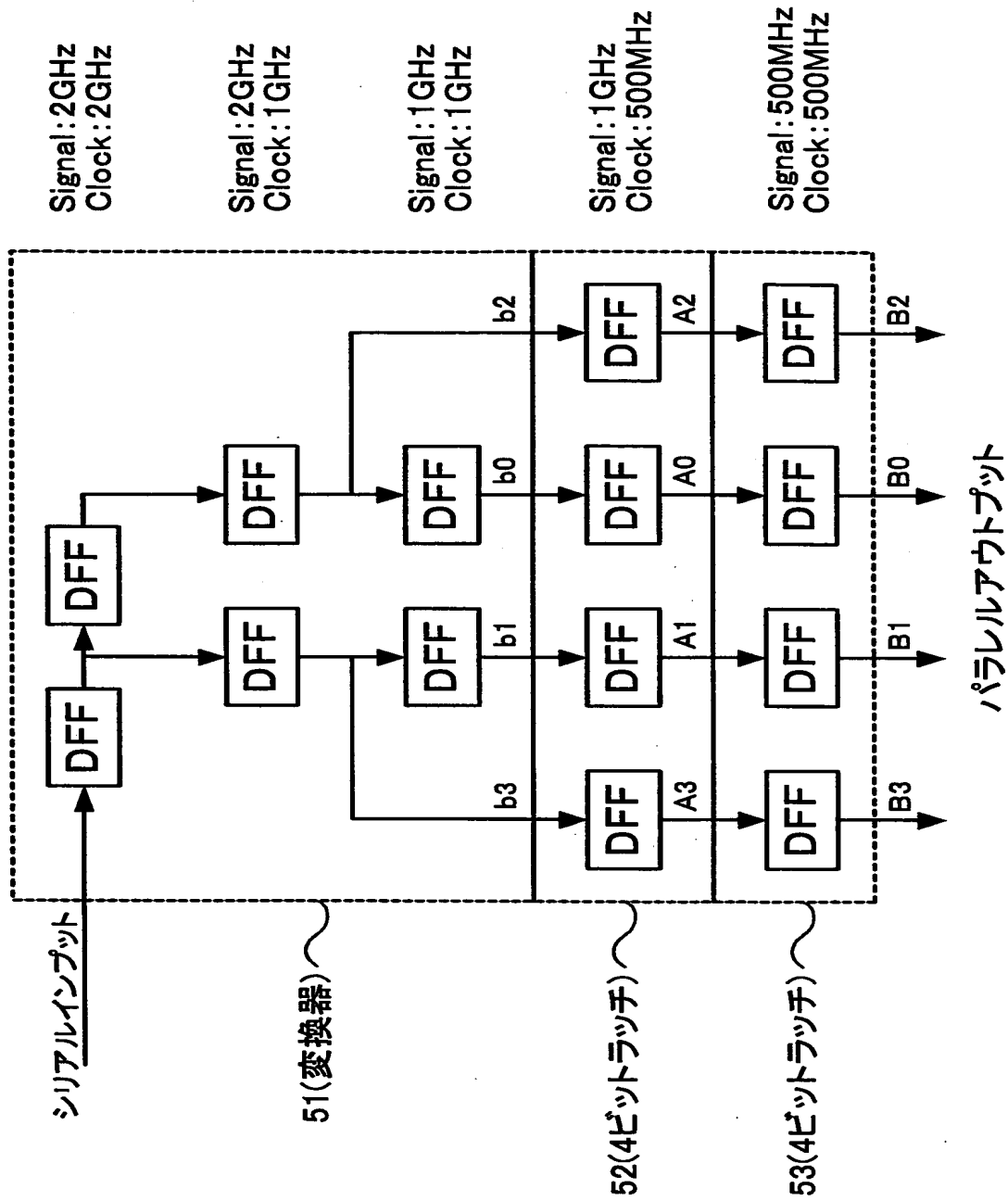
【図 5】



【図 6】



【図 7】



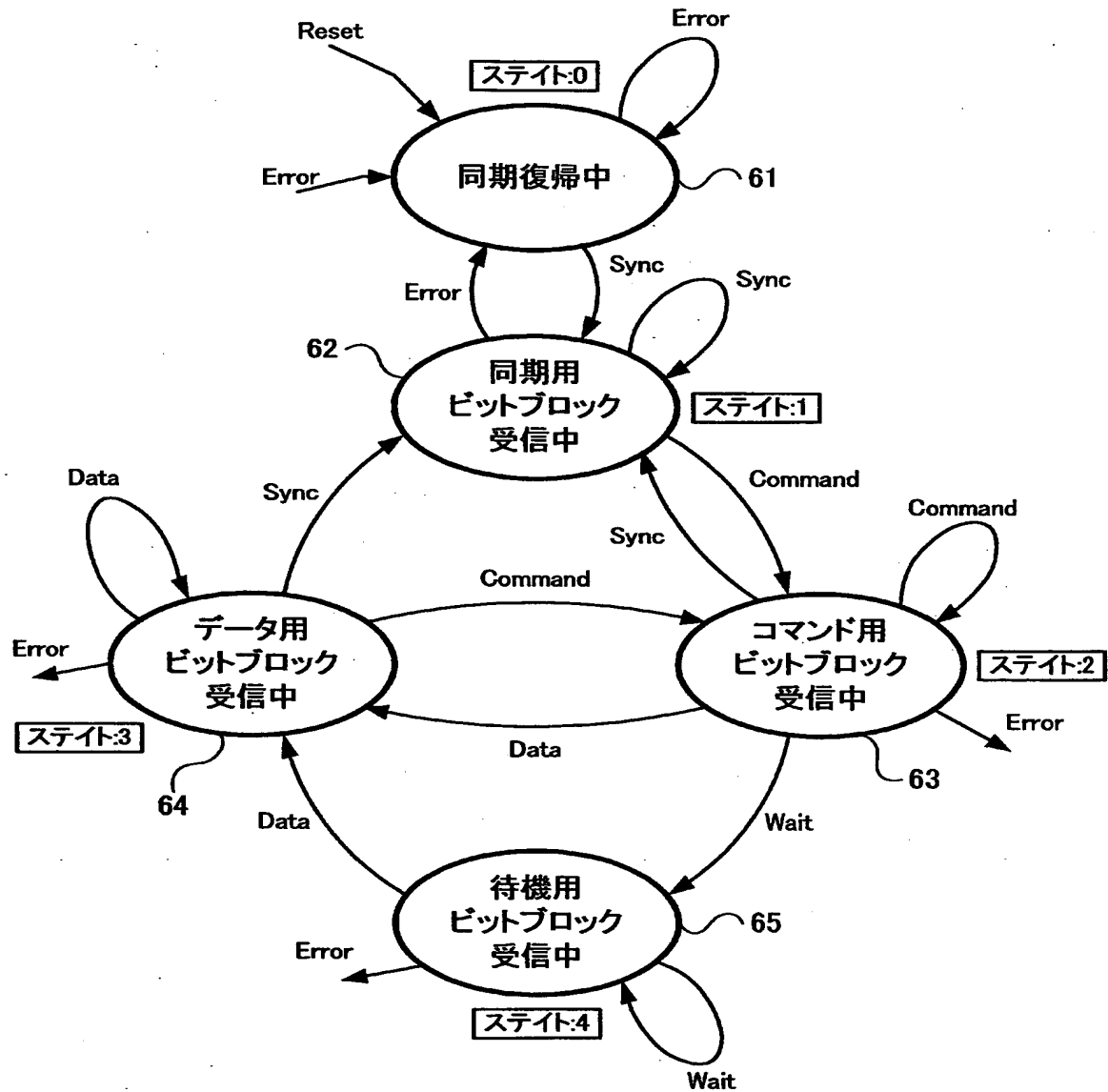
【図 8】

4ビットラッチ52(nクロック) [A3, A2, A1, A0]	セクタ54(n+1クロック) [D3, D2, D1, D0]	コントロール ID
[1, 0, 0, 0]	[A2, A1, A0, B3]	0
[0, 1, 0, 0]	[A1, A0, B3, B2]	1
[0, 0, 1, 0]	[A0, B3, B2, B1]	2
[0, 0, 0, 1]	[B3, B2, B1, B0]	3

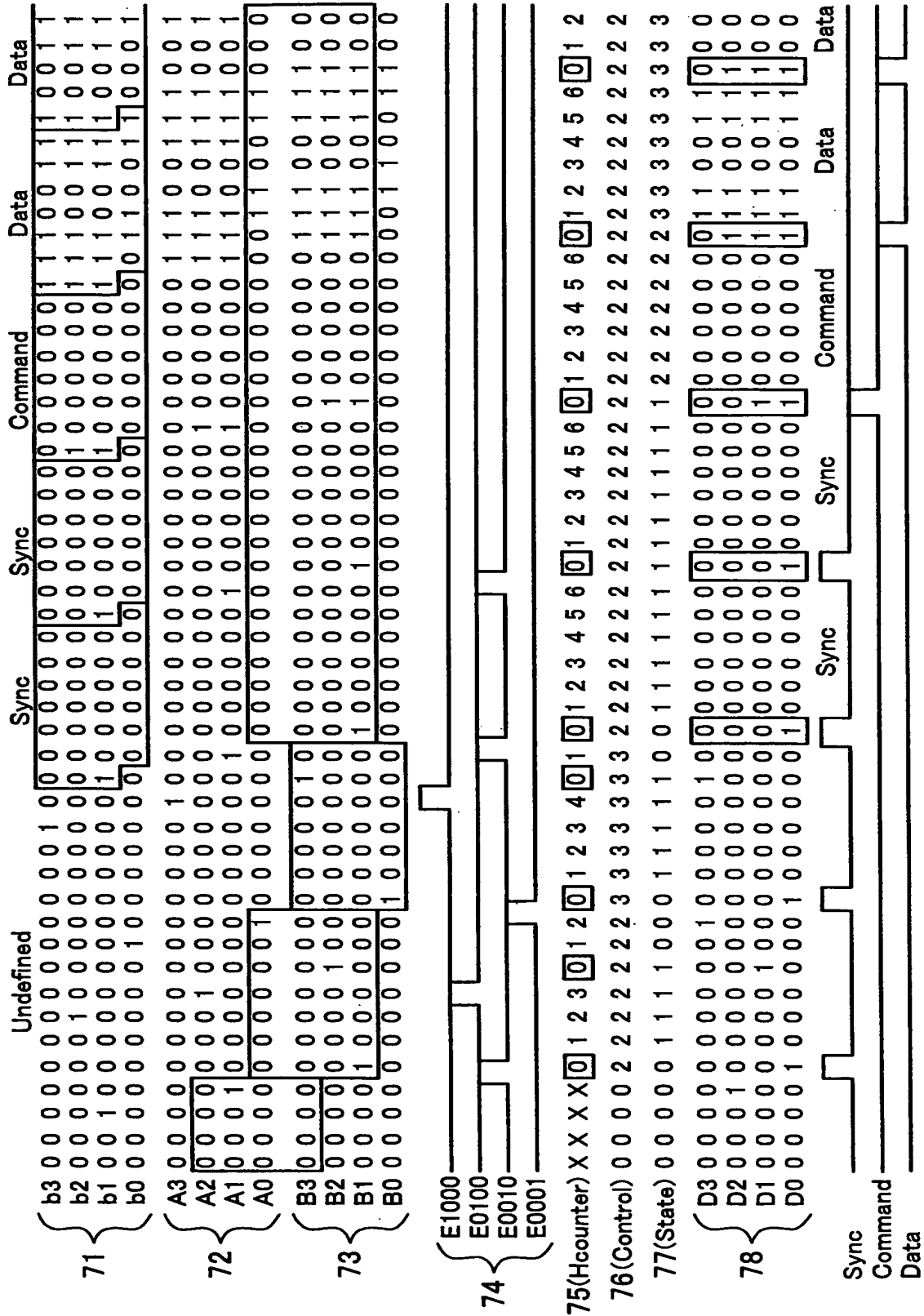
【図 9】

ビットブロックの種類	セクタ出力との比較パターン [D3, D2, D1, D0]
同期	[0, 0, 0, 1]
コマンド	[0, 0, 1, 1]
データ	[0, 1, 1, 1]
待機	[1, 1, 1, 1]

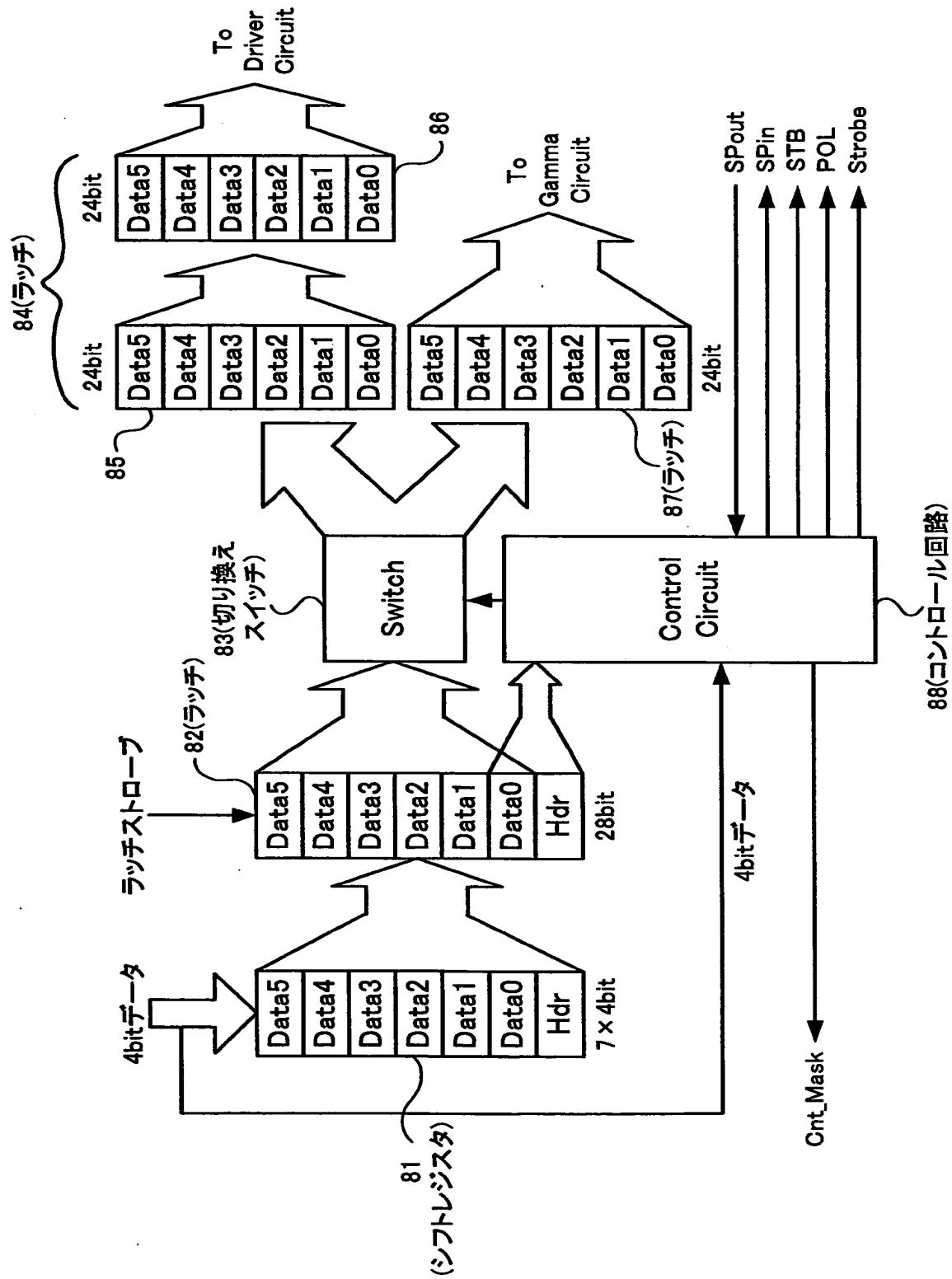
【図 10】



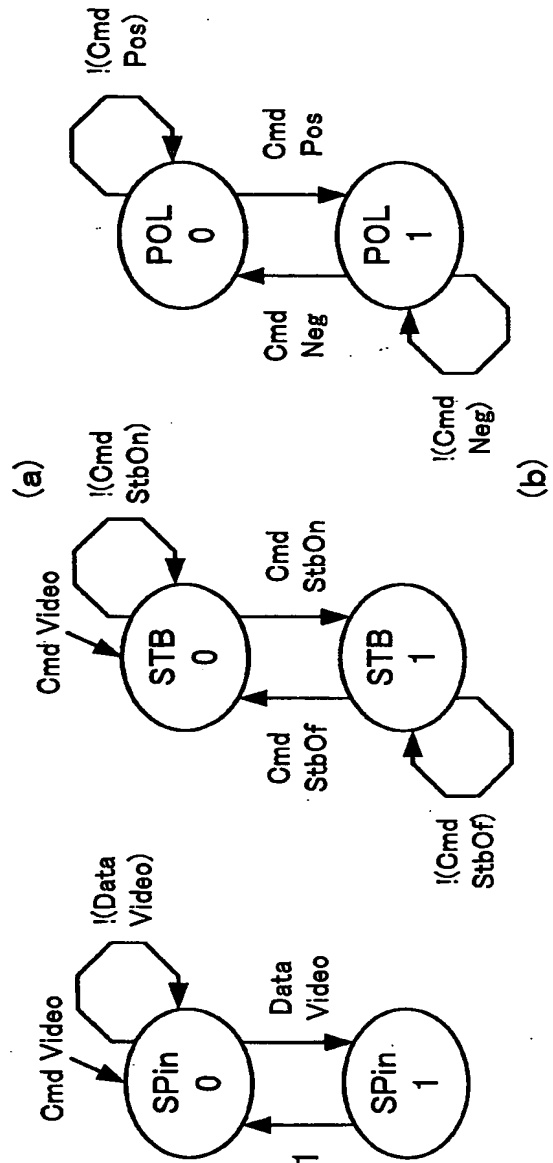
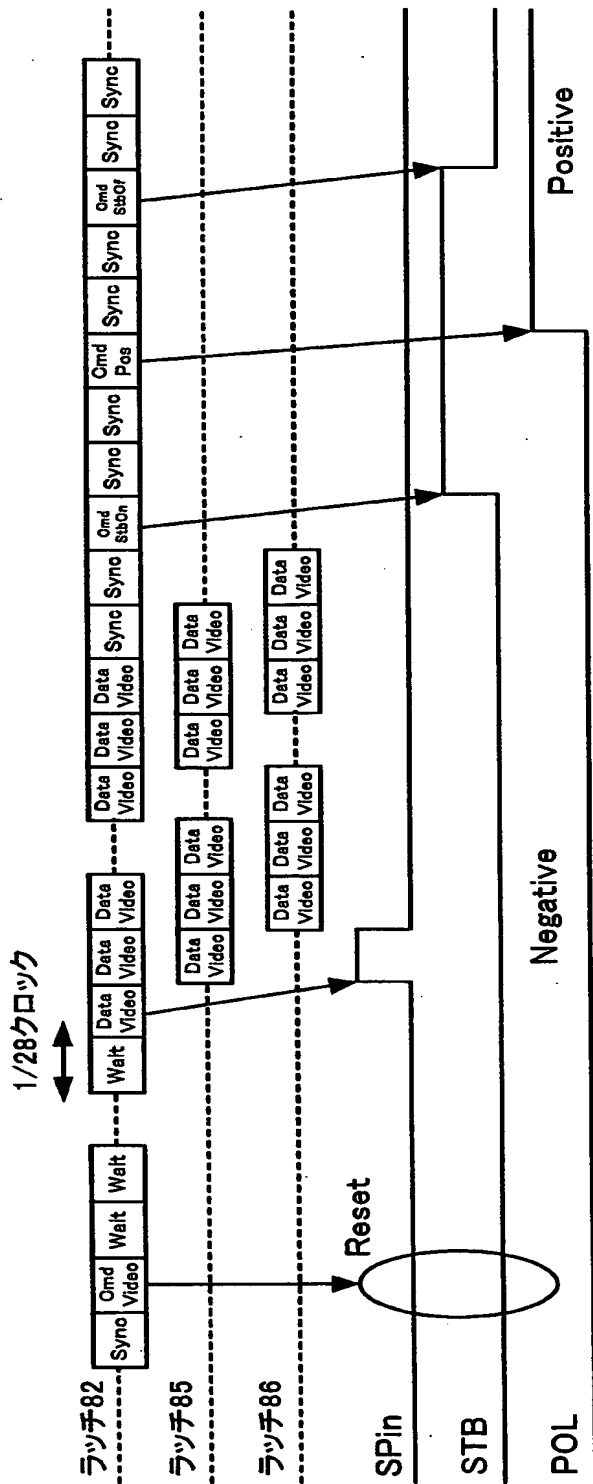
【図 1 1】



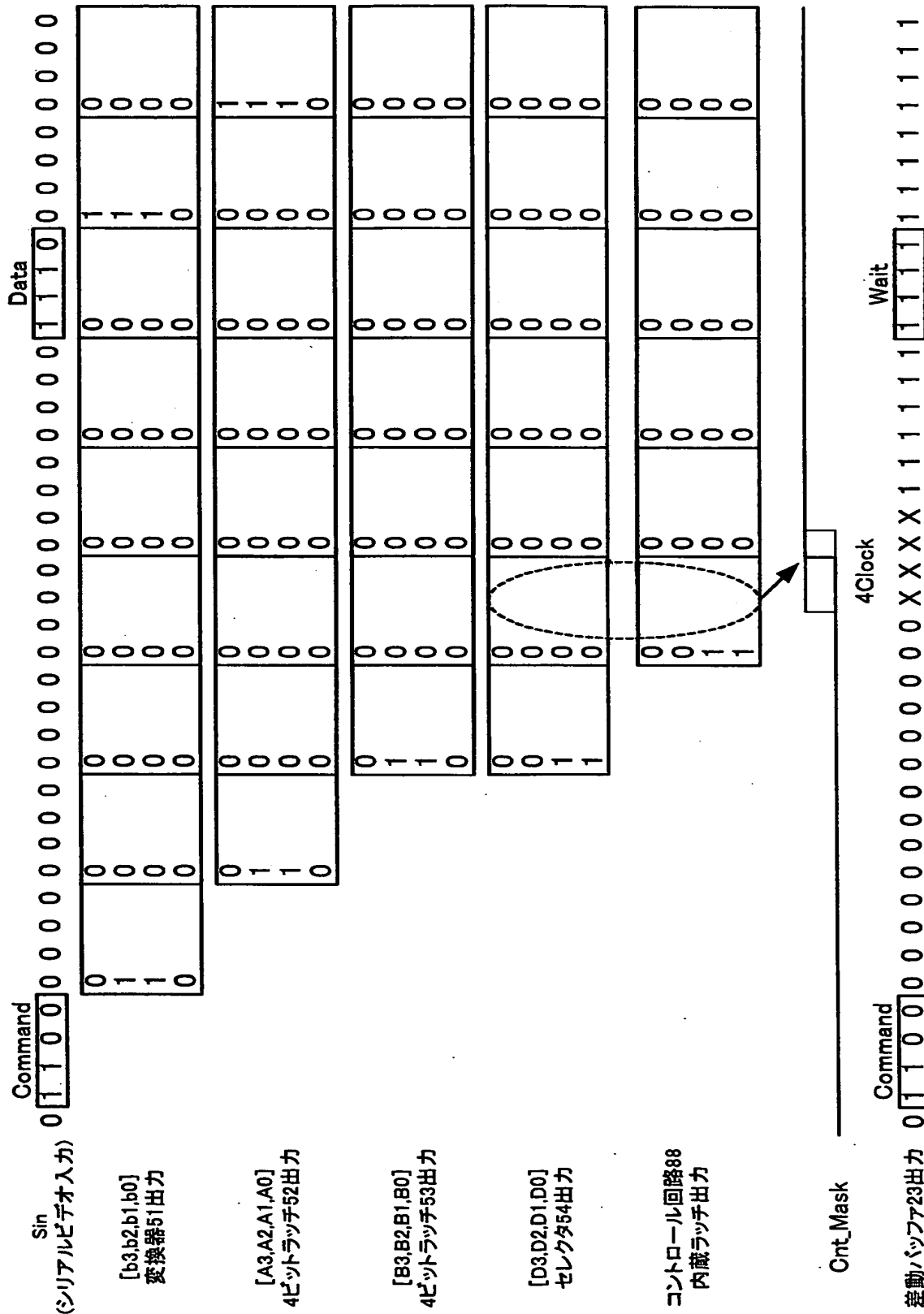
【図 1 2】



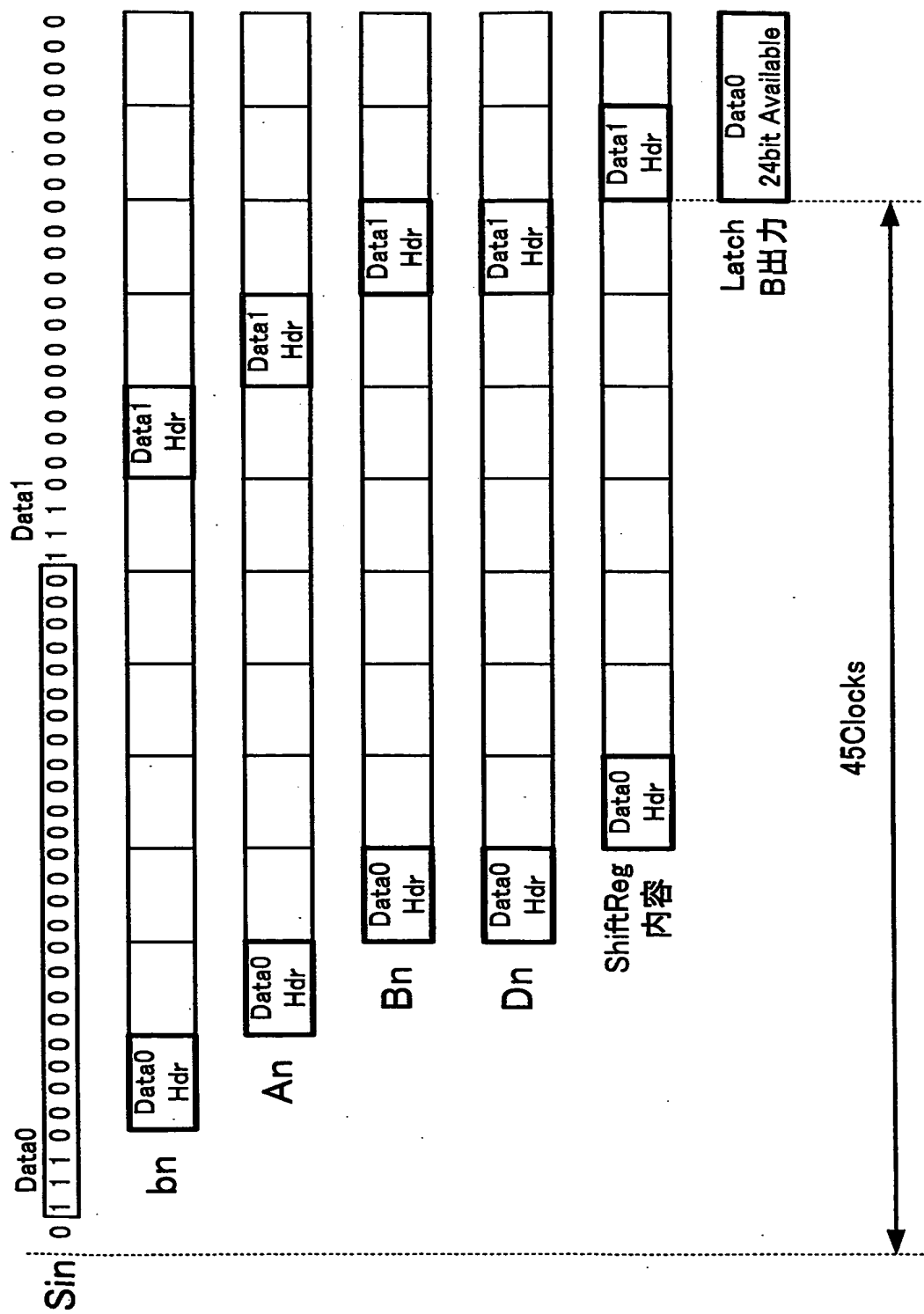
【図 1 3】



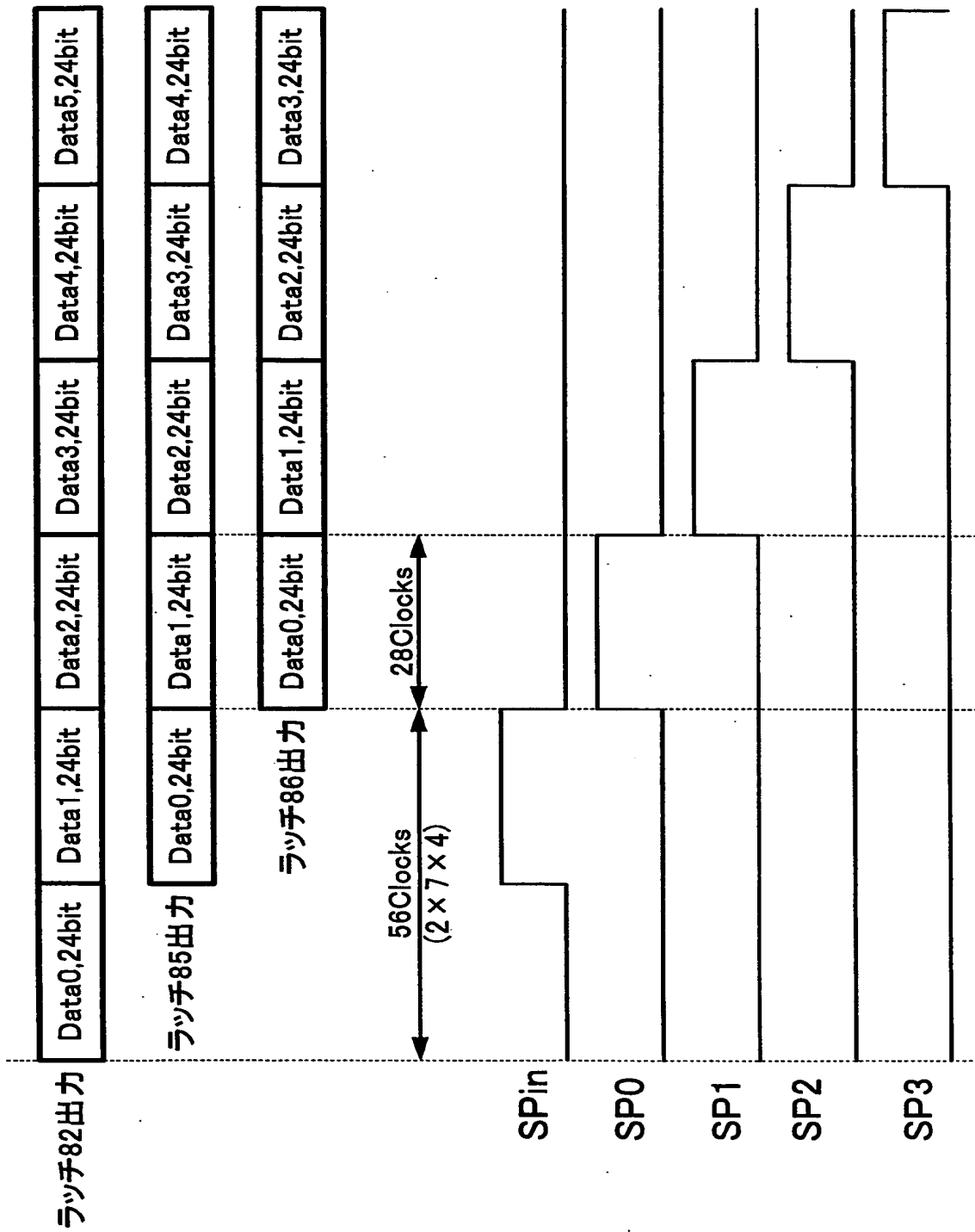
【図 1 4】



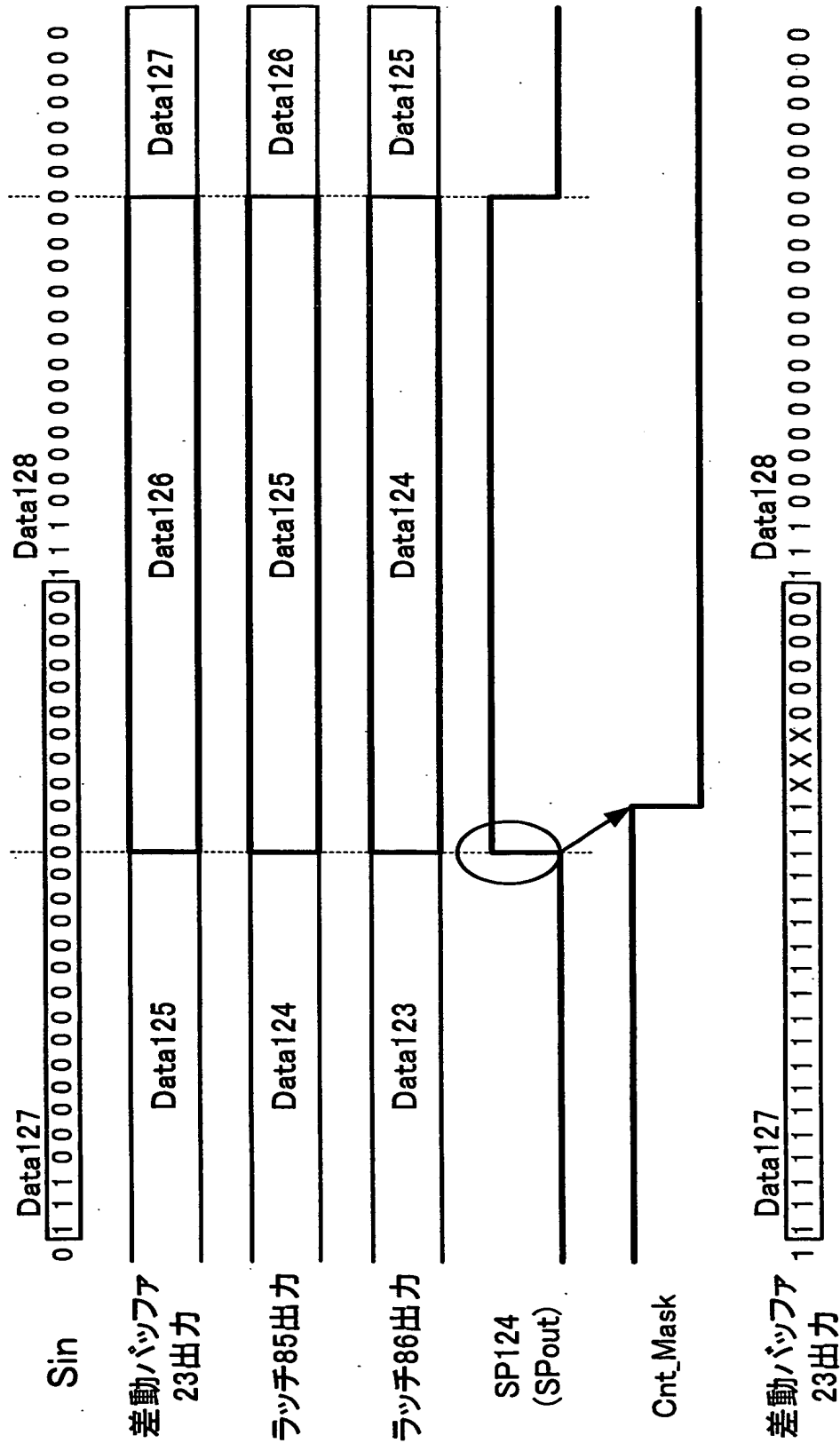
【図 15】



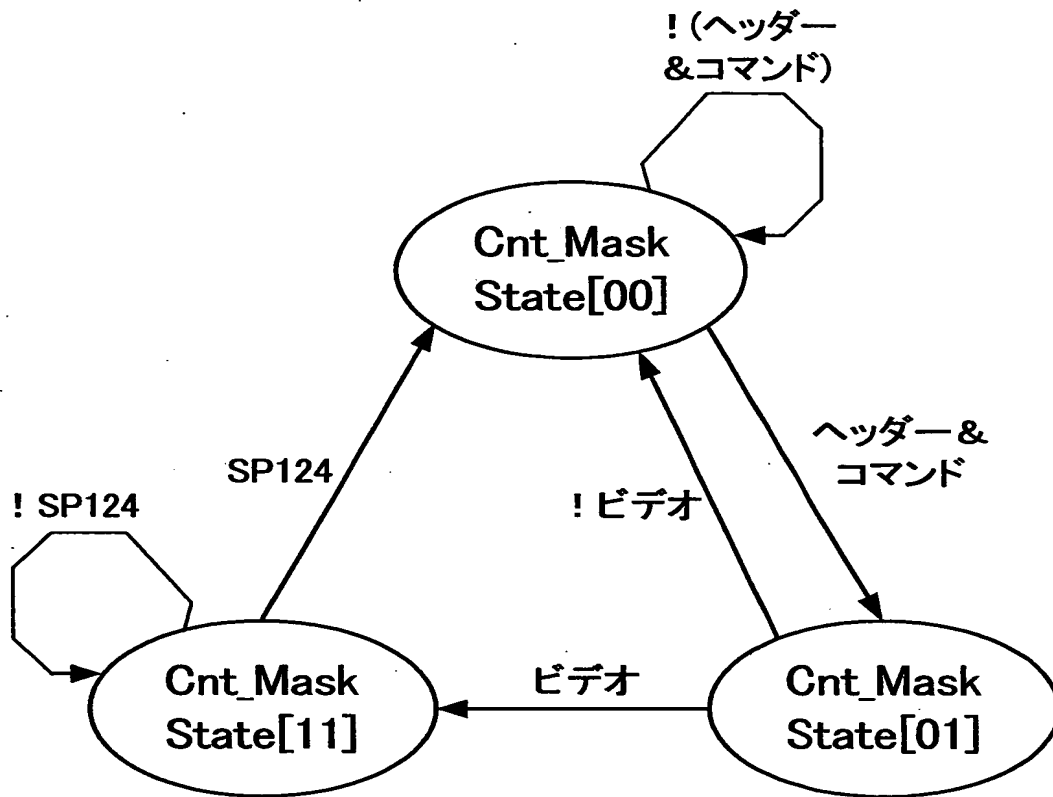
【図 1 6】



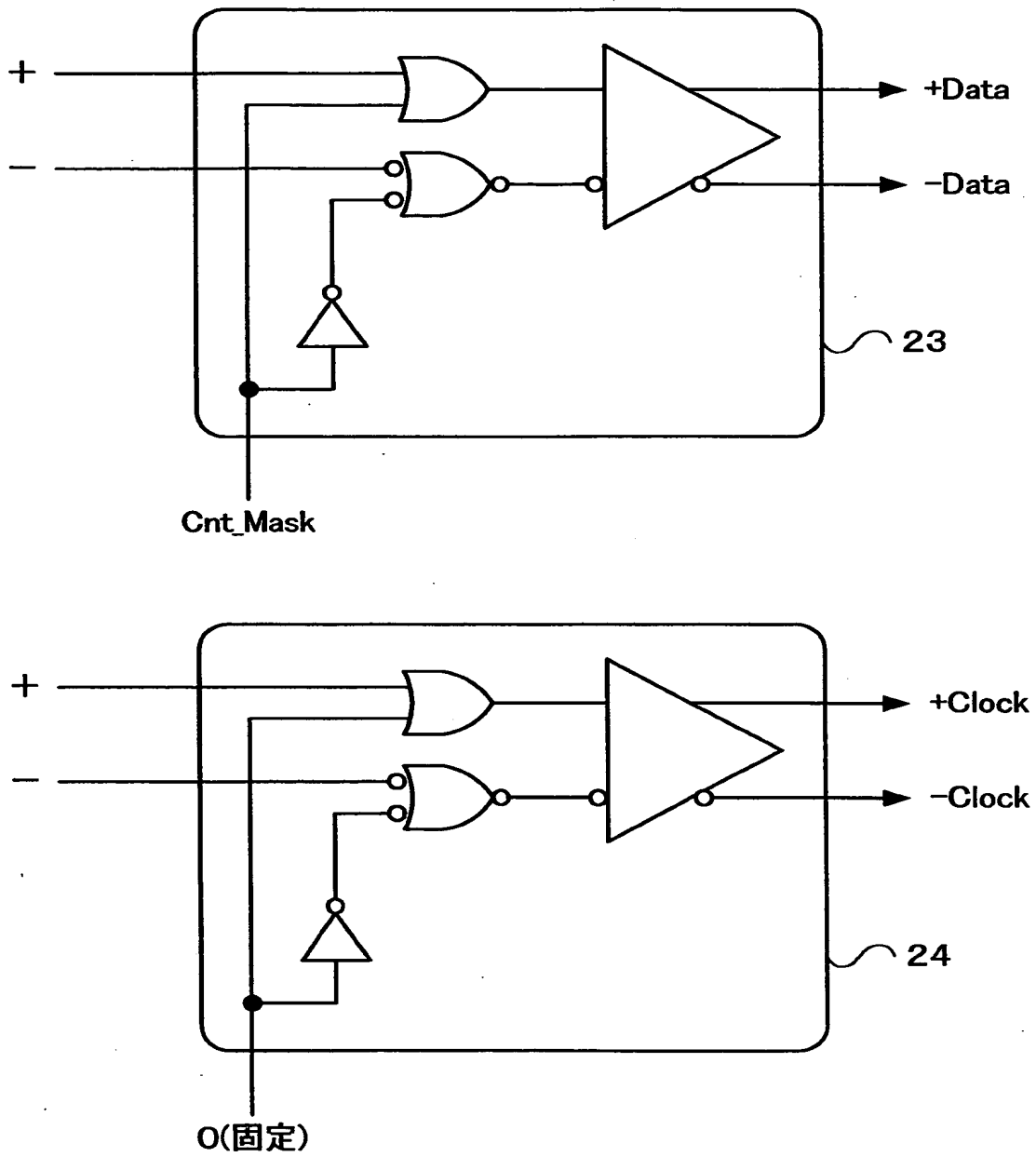
【图 17】



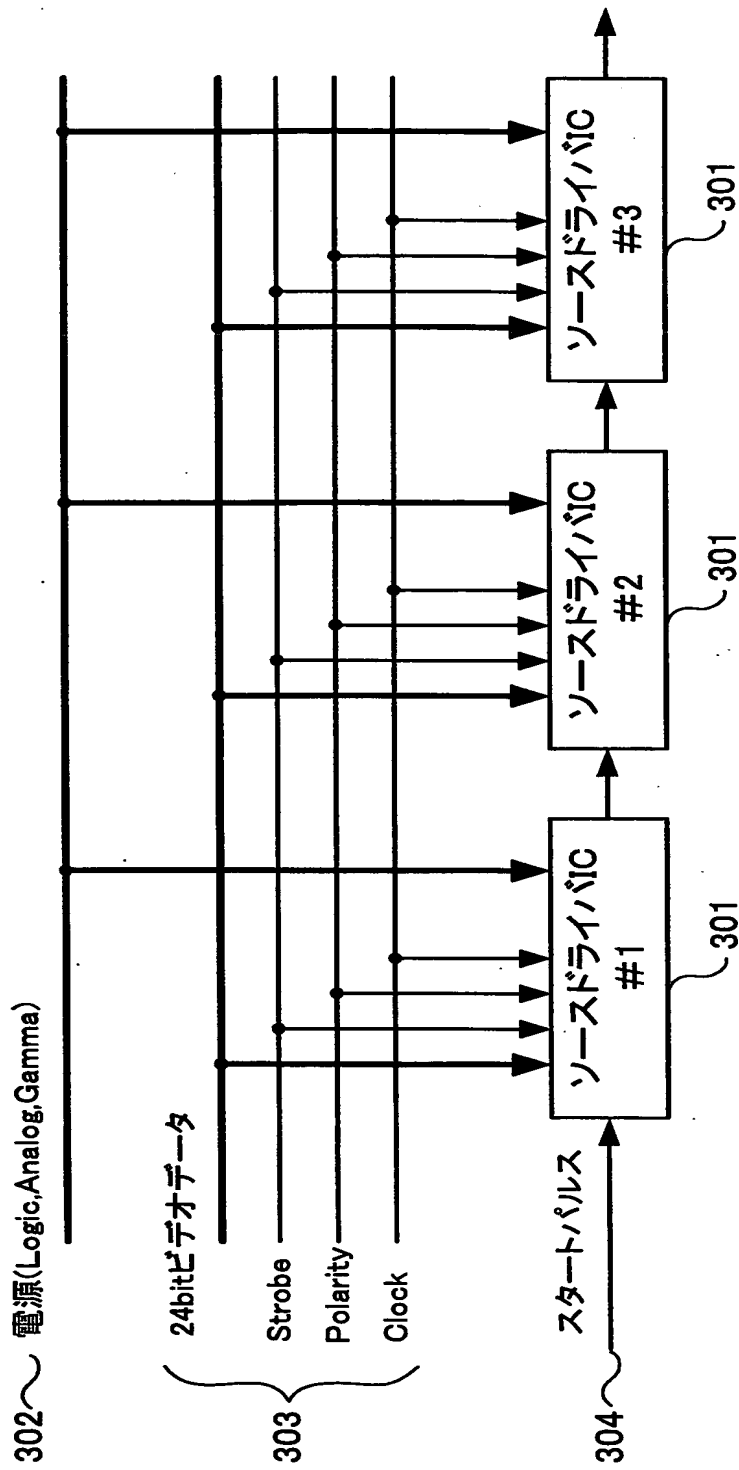
【図 18】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 LCDドライバの入力数を削減し、COG&WOAの実現によるコスト低減を図る。

【解決手段】 液晶表示装置において、ビデオI/F3を介して入力されたビデオ信号が分配されるソースドライバIC20をカスケード接続し、各ソースドライバIC20への配線を極力、減らすことで、COG&WOAを実現する。即ち、基板上に画像表示領域を形成する液晶セル2と、ビデオI/F3を介して入力されたビデオ信号に基づいてこの液晶セル2に対して電圧を印加するソースドライバ7とを備え、このソースドライバ7は、液晶セル2と同じ基板上に実装されると共に信号線を用いてカスケード接続された複数のソースドライバIC20を有する。

【選択図】 図1

認定・付加情報

特許出願の番号	平成11年 特許願 第351784号
受付番号	59901207628
書類名	特許願
担当官	野口 耕作 1610
作成日	平成12年 1月31日

<認定情報・付加情報>

【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【復代理人】

【識別番号】	申請人
【識別番号】	100104880
【住所又は居所】	東京都港区赤坂7-10-9 第4文成ビル202 セリオ国際特許事務所
【氏名又は名称】	古部 次郎

【選任した代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

【選任した復代理人】

【識別番号】	100100077
【住所又は居所】	東京都港区赤坂7-10-9 第4文成ビル202 セリオ国際特許事務所
【氏名又は名称】	大場 充

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 1990年10月24日

[変更理由] 新規登録

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレイション